

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 08-032060

(43)Date of publication of application : 02.02.1996

(51)Int.Cl.

H01L 29/78

H01L 25/04

H01L 25/18

H01L 29/43

(21)Application number : 06-160834

(71)Applicant : HITACHI LTD

(22)Date of filing : 13.07.1994

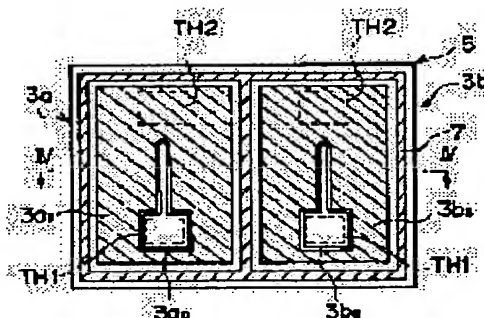
(72)Inventor : IIJIMA TETSUO

(54) SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE AND MANUFACTURE THEREOF

(57)Abstract:

PURPOSE: To miniaturize a semiconductor integrated circuit device having bidirectional switch circuit without increasing the product cost.

CONSTITUTION: Within a bidirectional switch circuit wherein two each of MOSFET parts 3a, 3b are series-connected to make both parasitic diodes connect in inverse directions, respective two each of MOSFET parts are composed of plural longitudinal structured MOSFETs providing said two MOSFETs with common drain region so that they may be provided on the same semiconductor substrate to be mounted on one die pad.



LEGAL STATUS

[Date of request for examination] 15.03.2000

[Date of sending the examiner's decision of rejection] 10.09.2002

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

BEST AVAILABLE COPY

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

*** NOTICES ***

JPO and NCIPi are not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.*** shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] It is semiconductor integrated circuit equipment which has the bidirectional switching circuit in which carries out a series connection and the two MIS-FET sections become so that may be connected to hard flow in both parasitism diodes. The source field formed in the principal plane of a semi-conductor substrate in each of said two MIS-FET sections, The channel field formed in the principal plane of said semi-conductor substrate so that said source field might be adjoined, While MIS-FET of 1 which has the gate electrode prepared on said channel field and the drain field formed in the rear face of said semi-conductor substrate, or two or more end-fire array structures constitutes Semiconductor integrated circuit equipment characterized by preparing in the same semi-conductor substrate and coming to mount the same semi-conductor substrate on one drain polar zone by making common the drain field of said two MIS-FET sections.

[Claim 2] It is semiconductor integrated circuit equipment which has the bidirectional switching circuit in which carries out a series connection and the two MIS-FET sections become so that may be connected to hard flow in both parasitism diodes. The source field formed in the principal plane of a semi-conductor substrate in each of said two MIS-FET sections, The channel field formed in the principal plane of said semi-conductor substrate so that said source field might be adjoined, While MIS-FET of 1 which has the gate electrode prepared on said channel field and the drain field formed in the rear face of said semi-conductor substrate, or two or more end-fire array structures constitutes Semiconductor integrated circuit equipment characterized by preparing in a separate semi-conductor substrate and coming to mount the separate semi-conductor substrate on one drain polar zone.

[Claim 3] It is semiconductor integrated circuit equipment which has the bidirectional switching circuit in which carries out a series connection and the two MIS-FET sections become so that may be connected to hard flow in both parasitism diodes. The source field formed in the principal plane of a semi-conductor substrate in each of said two MIS-FET sections, The channel field formed in the principal plane of said semi-conductor substrate so that said source field might be adjoined, While MIS and FET of 1 which has the gate electrode prepared on said channel field and the drain field formed in the rear face of said semi-conductor substrate, or two or more end-fire array structures constitute, it prepares in a separate semi-conductor substrate. Semiconductor integrated circuit equipment characterized by mounting the separate semi-conductor substrate on a separate drain electrode, and coming to connect the source field of said two MIS-FET sections electrically.

[Claim 4] Semiconductor integrated circuit equipment characterized by making the same mutually the structure and the number of MIS-FET of said end-fire array structures which constitute each of said two MIS-FET sections in semiconductor integrated circuit equipment according to claim 1, 2, or 3.

[Claim 5] Semiconductor integrated circuit equipment characterized by making the same area of each two source electrodes of said of the MIS-FET section in semiconductor integrated circuit equipment given in any 1 term of claims 1-4.

[Claim 6] Semiconductor integrated circuit equipment characterized by having arranged said

each two gate electrodes of the MIS-FET section in semiconductor integrated circuit equipment given in any 1 term of claims 1-5 so that it may become a line pair elephant or a point pair elephant mutually while making the same area of each two gate electrodes of said of the MIS-FET section.

[Claim 7] In semiconductor integrated circuit equipment given in any 1 term of claims 1-6 While preparing the polar zone set as the potential and this potential of said drain field so that said source field and said gate electrode may be surrounded on the principal plane of the semiconductor substrate with which said two MIS-FET sections were formed The impurity range which is introduced and becomes so that the impurity of the same electric conduction as the impurity contained in the semi-conductor substrate in the principal plane side upper part of the semi-conductor substrate with which said two MIS and FET sections were formed may serve as high concentration from the high impurity concentration of the semi-conductor substrate is prepared. Semiconductor integrated circuit equipment characterized by connecting said polar zone and said impurity range electrically.

[Claim 8] Semiconductor integrated circuit equipment characterized by having arranged in semiconductor integrated circuit equipment given in any 1 term of claims 1-7 so that the adjoining side may become with a long side in each about the formation field of said two MIS-FET sections.

[Claim 9] It is semiconductor integrated circuit equipment characterized by being the switching circuit section for said bidirectional switching circuit intercepting [semiconductor integrated circuit equipment given in any 1 term of claims 1-8 is the protection network of a rechargeable battery, and] some electric paths of said protection network in case said rechargeable battery is overdischarge or overcharge.

[Claim 10] It is the manufacture approach of semiconductor integrated circuit equipment of having the bidirectional switching circuit in which carries out a series connection and the two MIS-FET sections become so that may be connected to hard flow in both parasitism diodes. The process which forms said MIS-FET section in each of two or more chip formation fields formed in the semi-conductor wafer, The manufacture approach of the semiconductor integrated circuit equipment characterized by having the process started as one semiconductor chip without dividing the chip formation field which adjoins in the case of the dicing process of said semiconductor wafer.

[Translation done.]

*** NOTICES ***

JPO and NCIPi are not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.**** shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Industrial Application] This invention is applied to the semiconductor integrated circuit equipment which has the bidirectional switching circuit constituted by the two MOS-FET sections, concerning semiconductor integrated circuit equipment and its manufacturing technology, and relates to an effective technique.

[0002]

[Description of the Prior Art] A bidirectional switching circuit is a switching circuit constituted when both parasitism diodes connect the two MOS-FET sections to a serial so that it may connect with hard flow mutually.

[0003] As a semi-conductor product using a bidirectional switching circuit, there is a protection network of a lithium (Li) ion rechargeable battery, for example. This protection network is a circuit which protects Li ion rechargeable battery by intercepting a current path, when Li ion rechargeable battery becomes overcharge or overdischarge.

[0004] About the protection network of this Li ion rechargeable battery, they are Nikkei Business Publications, April 26, 1993 issue, and "Nikkei electronics, for example. no.579" P118-P120 have a publication and one bidirectional switching circuit is constituted from this reference by two MOS-FET by which packaging was carried out separately.

[0005]

[Problem(s) to be Solved by the Invention] However, in the above-mentioned Prior art which constitutes one bidirectional switching circuit by MOS-FET by which packaging was carried out separately, this invention person found out that there were the following problems.

[0006] That is, since two MOS-FET which constitutes a bidirectional switching circuit was conventionally held in the respectively separate package, the arrangement field for wiring which connects the package arrangement field and each package for two packages was needed, and there was a problem which checks contraction of the occupancy area of a bidirectional switching circuit.

[0007] Moreover, since advanced techniques, such as making a chip size small or making thickness of a package thin, were needed in order to have made the bidirectional switching circuit small, there was a problem which checks the cost reduction of a semi-conductor product.

[0008] This invention is made paying attention to the above-mentioned technical problem, and the purpose is in offering the technique which can make small the semiconductor integrated circuit equipment which has a bidirectional switching circuit.

[0009] Other purposes of this invention are to offer the technique which can make small the semiconductor integrated circuit equipment which has a bidirectional switching circuit, without making cost high.

[0010] The other purposes and the new description will become clear from description and the accompanying drawing of this specification along [said] this invention.

[0011]

[Means for Solving the Problem] It will be as follows if the outline of a typical thing is briefly

explained among invention indicated in this application.

[0012] Namely, the semiconductor integrated circuit equipment of this invention is semiconductor integrated circuit equipment which has the bidirectional switching circuit in which carries out a series connection and the two MIS-FET sections become so that may be connected to hard flow in both parasitism diodes. The source field formed in the principal plane of a semi-conductor substrate in each of said two MIS-FET sections, The channel field formed in the principal plane of said semi-conductor substrate so that said source field might be adjoined, While MIS-FET of 1 which has the gate electrode prepared on said channel field and the drain field formed in the rear face of said semi-conductor substrate, or two or more end-fire array structures constitutes By making common the drain field of said two MIS-FET sections, it prepares in the same semi-conductor substrate, and comes to mount the same semi-conductor substrate on one drain polar zone.

[0013] Moreover, the semiconductor integrated circuit equipment of this invention is semiconductor integrated circuit equipment which has the bidirectional switching circuit in which carries out a series connection and the two MIS-FET sections become so that may be connected to hard flow in both parasitism diodes. The source field formed in the principal plane of a semi-conductor substrate in each of said two MIS-FET sections, The channel field formed in the principal plane of said semi-conductor substrate so that said source field might be adjoined, While MIS-FET of 1 which has the gate electrode prepared on said channel field and the drain field formed in the rear face of said semi-conductor substrate, or two or more end-fire array structures constitutes It prepares in a separate semi-conductor substrate, and comes to mount the separate semi-conductor substrate on one drain polar zone.

[0014] Moreover, the semiconductor integrated circuit equipment of this invention is semiconductor integrated circuit equipment which has the bidirectional switching circuit in which carries out a series connection and the two MIS-FET sections become so that may be connected to hard flow in both parasitism diodes. The source field formed in the principal plane of a semi-conductor substrate in each of said two MIS-FET sections, The channel field formed in the principal plane of said semi-conductor substrate so that said source field might be adjoined, While MIS and FET of 1 which has the gate electrode prepared on said channel field and the drain field formed in the rear face of said semi-conductor substrate, or two or more end-fire array structures constitute, it prepares in a separate semi-conductor substrate. The separate semi-conductor substrate is mounted on a separate drain electrode, and it comes to connect the source field of said two MIS-FET sections electrically.

[0015] Moreover, the semiconductor integrated circuit equipment of this invention makes the same mutually the structure and the number of MIS-FET of said end-fire array structures which constitute each of said two MIS and FET sections.

[0016] Moreover, the semiconductor integrated circuit equipment of this invention makes the same area of each two source electrodes of said of the MIS-FET section.

[0017] Moreover, the semiconductor integrated circuit equipment of this invention arranges said each two gate electrodes of MIS and the FET section so that it may become a line pair elephant or a point pair elephant mutually, while making the same area of each two gate electrodes of said of the MIS-FET section.

[0018] Moreover, the semiconductor integrated circuit equipment of this invention so that said source field and said gate electrode may be surrounded on the principal plane of the semi-conductor substrate with which said two MIS and FET sections were formed While preparing the polar zone set as the potential and this potential of said drain field The impurity range which is introduced and becomes so that the impurity of the same electric conduction as the impurity contained in the semi-conductor substrate in the principal plane side upper part of the semi-conductor substrate with which said two MIS and FET were formed may serve as high concentration from the high impurity concentration of the semi-conductor substrate is prepared. Said polar zone and said impurity range are connected electrically.

[0019] Moreover, the semiconductor integrated circuit equipment of this invention arranges the formation field of said two MIS-FET sections so that the adjoining side may turn into a long side in each.

[0020] Moreover, the manufacture approach of the semiconductor integrated circuit equipment of this invention It is the manufacture approach of semiconductor integrated circuit equipment of having the bidirectional switching circuit in which carries out a series connection and the two MIS-FET sections become so that may be connected to hard flow in both parasitism diodes. It has the process started as one semiconductor chip without dividing two chip formation fields which adjoin in the case of the process which forms said MIS-FET section in each of two or more chip formation fields formed in the semi-conductor wafer, and the dicing process of said semi-conductor wafer.

[0021]

[Function] According to the semiconductor integrated circuit equipment of above-mentioned this invention, the two MIS-FET sections which constitute a bidirectional switching circuit can be held in one package.

[0022] According to the semiconductor integrated circuit equipment of above-mentioned this invention, the electrical characteristics and the engine performance of that each section of MIS-FET can be made almost the same by unifying the specification of each component of the two MIS-FET sections which constitute a bidirectional switching circuit etc.

[0023] Since the area of the field which passes a current when two MIS-FET section formation fields were made for that each side of contiguity to turn into a long side can be increased according to the semiconductor integrated circuit equipment of above-mentioned this invention, the electric resistance in a circuit can be reduced.

[0024] According to the manufacture approach of the semiconductor integrated circuit equipment of above-mentioned this invention, the two MIS-FET sections can be held in one package, when it can prepare on one semiconductor chip also not using advanced techniques, such as a component and a detailed-ized technique of wiring.

[0025]

[Example] Hereafter, the example of this invention is explained to a detail based on a drawing.

[0026] The circuit diagram of semiconductor integrated circuit equipment whose drawing 1 is one example of this invention, (Example 1) The circuit diagram of the bidirectional switching circuit where drawing 2 constitutes the semiconductor integrated circuit equipment of drawing 1 , The top view of the semiconductor chip with which drawing 3 R> 3 has the bidirectional switching circuit of drawing 2 , An explanatory view for the sectional view, drawing 5 , and drawing 6 of an IV-IV line of drawing 3 to explain the field arrangement in the semiconductor chip of drawing 3 in drawing 4 , The sectional view of the package body of drawing 10 and drawing 12 of the perspective view of the package body with which drawing 7 - drawing 9 close the important section sectional view of the semiconductor chip of drawing 3 , and drawing 10 closes the semiconductor chip of drawing 3 , and drawing 11 are the sectional views of the XII-XII line of drawing 10 .

[0027] The semiconductor integrated circuit equipment of this example 1 is the protection network 1 as shown in drawing 1 . The protection network 1 of this example 1 is the positive electrode E1 of a power source. Negative electrode E2 The rechargeable batteries B1, such as Li rechargeable battery connected to the two-piece serial in between, and B-2 It is a circuit for protecting from overdischarge or overcharge, and has the control circuit 2 and the bidirectional switching circuit 3.

[0028] The control circuit 2 and the bidirectional switching circuit 3 are held in each package, respectively. A control circuit 2, the bidirectional switching circuit 3 and a rechargeable battery B1, and B-2 It connects electrically through wiring on the wiring substrate which is not illustrated etc. In addition, about the package structure of the bidirectional switching circuit 3, it mentions later.

[0029] A control circuit 2 is a rechargeable battery B1 and B-2. When it sets and overdischarge or overcharge arises, while detecting the condition of the overdischarge or overcharge, it is a circuit for controlling the on-off control action of the bidirectional switching circuit 3 based on the detection information.

[0030] The power supply terminal VDD and earth terminal VSS of a control circuit 2 are a terminal for supplying supply voltage in a control circuit 2, and are the positive electrode E1 of a

power source, respectively. And negative electrode E2 of a power source It connects electrically.

[0031] Moreover, terminals CP1 and CP2 of a control circuit 2 And terminal VC A rechargeable battery B1 and B-2 It is a terminal for detecting overdischarge or a overcharge condition. Terminals CP1 and CP2 They are resistance R1 and R2, respectively. It minds and is a rechargeable battery B1, respectively. A positive electrode and rechargeable battery B-2 It connects with the negative electrode electrically. Moreover, terminal VC Rechargeable battery B1 A negative electrode and rechargeable battery B-2 It connects with wiring to which a positive electrode is connected electrically.

[0032] Moreover, the control terminals VD1 and VD2 of a control circuit 2 are terminals for telling the control signal which controls the on-off control action of the bidirectional switching circuit 3, and are gate electrode 3ag of the MOS-FET sections 3a and 3b, and 3bg, respectively. It connects electrically.

[0033] Moreover, terminal VM Negative electrode E2 of a power source It is resistance R3 to wiring to which the bidirectional switching circuit 3 is connected. It minds and connects electrically. Positive electrode E1 of a power source Rechargeable battery B1 Between positive electrodes, the fuse 4 is connected electrically.

[0034] On the other hand, for the bidirectional switching circuit 3, as shown in drawing 1 and drawing 2, the two MOS-FET sections 3a and 3b are both drain electrode 3ad and 3bd. It is in the connected condition, namely, they are the parasitism diodes D1 and D2 of both MOS-FET sections 3a and 3b. It is connected and constituted by the serial so that it may become hard flow connection.

[0035] In addition, source electrode 3as of MOS-FET section 3a Rechargeable battery B-2 It connects with a negative electrode electrically and is source electrode 3bs of MOS-FET section 3b. It connects with the negative electrode E2 of a power source electrically.

[0036] By the way, in this example 1, as shown in drawing 3 and drawing 4, the two above-mentioned MOS-FET sections 3a and 3b are formed in one semiconductor chip 5. For this reason, since the two MOS-FET sections 3a and 3b can be closed in one package, it is possible to make the bidirectional switching circuit 3 small.

[0037] The semi-conductor substrate 6 which constitutes a semiconductor chip 5 consists for example, of a silicon (Si) single crystal of n form, and consists of semi-conductor substrate layer 6a and epitaxial layer 6b of the upper layer.

[0038] Gate electrode 3ag of the MOS-FET sections 3a and 3b described above on the principal plane of the semi-conductor substrate 6, and 3bg And source electrode 3as and 3bs It is formed. Gate electrode 3ag and 3bg And source electrode 3as and 3bs For example, it consists of a (Aluminum aluminum)-Si-copper (Cu) alloy.

[0039] In addition, gate electrode 3ag and 3bg A broad field is a field for connecting a bonding wire so that it may mention later. moreover, connection hole TH1 Gate electrode 3ag and 3bg the hole punched at insulator layer 8a in order to connect a bonding wire to a broad field — a field — being shown — connection hole TH2 Source electrode 3as and 3bs the hole punched at insulator layer 8a in order to connect a bonding wire — it is a field.

[0040] The dimension of the formation field of both MOS-FET sections 3a and 3b in every direction is equal. Moreover, each source electrode 3as of both MOS-FET sections 3a and 3b and 3bs Area is also the same. Moreover, each gate electrode 3ag and 3bg Area is also the same. Furthermore, gate electrode 3ag and 3bg It sets, and in the arrangement, it is arranged so that it may become a line pair elephant by making the central guard ring (polar zone) 7 into a boundary line. It is possible to make almost the same the electrical characteristics and the engine performance of those the each sections 3a and 3b of MOS-FET by these.

[0041] moreover, the principal plane top of the semi-conductor substrate 6 — setting — gate electrode 3ag of the MOS-FET sections 3a and 3b of each [center / the / periphery and center], and 3bg And source electrode 3as and 3bs The guard ring 7 is formed so that it may surround. A guard ring 7 is a function part for preventing that consist for example, of an aluminum-Si-Cu alloy, and a foreign matter trespasses upon the interior of a semiconductor chip 5 from the exterior of a semiconductor chip 5.

[0042] Furthermore, gate electrode 3ag which insulator layer 8a which consists of a silicon dioxide (SiO₂) has deposited on the principal plane of the semi-conductor substrate 6, and was described above by this, 3bg, source electrode 3as, and 3bs And the guard ring 7 is covered. In addition, the metal layer 9 is formed in the rear face of the semi-conductor substrate 6.

[0043] Moreover, in this example 1, as shown in drawing 5, in the semiconductor chip 5, two MOS-FET section formation fields A and B are arranged so that that each side of contiguity may be made into a long side. Since the area of the field which passes Current I can be increased by this, it is possible to reduce the electric resistance in the bidirectional switching circuit 3.

[0044] For example, supposing it arranges both MOS-FET section formation fields A and B so that shorter sides may adjoin as shown in drawing 6, it is because the area of the field which can pass Current I becomes small and the electric resistance in the bidirectional switching circuit 3 increases.

[0045] Next, the above-mentioned structure of the MOS-FET sections 3a and 3b is explained using drawing 7 - drawing 9. In addition, since the structure of the two MOS-FET sections 3a and 3b is identitas, MOS and FET section 3a are mainly explained here.

[0046] MOS-FET section 3a is the power metal-oxide semiconductor field effect transistor three a1 of two or more end-fire array structures formed in the semi-conductor substrate 6. It is constituted. Here, it is the power metal-oxide semiconductor field effect transistor three a1 of the end-fire array structure of the MOS-FET sections 3a and 3b, and three b1. It is the same structure and has the same number. It is possible to make the electrical characteristics and the engine performance of those the each sections 3a and 3b of MOS-FET almost the same by this.

[0047] Power metal-oxide semiconductor field effect transistor three a1 of end-fire array structure Source field 3as1 formed in the principal plane side of the semi-conductor substrate 6, and channel field 3ac which adjoins it Channel field 3ac It has gate electrode 3ag1 formed through gate-dielectric-film 3aOX upwards, and drain field 3ad1 formed in the rear-face side of the semi-conductor substrate 6.

[0048] Two or more impurity ranges 10 are formed in the upper layer of epitaxial layer 6b. It comes to introduce the boron of for example, p form impurity, and, as for the impurity range 10, source field 3as1 is formed in the field. Source field 3as1 is the connection hole TH3 which it came to introduce Lynn of n form impurity, or an arsenic (As), and was punched at insulator layer 8b. Source electrode 3as led and described above It connects electrically.

[0049] Channel field 3ac It is formed in the field with which gate electrode 3ag1 laps in an impurity range 10. gate-dielectric-film 3aOX — for example, SiO₂ from — it becomes. each — gate electrode 3ag which described above gate electrode 3ag1 through the conductor layer 11 which consists of low resistance polish recon and similarly consists of low resistance polish recon etc. It connects electrically.

[0050] Drain field 3ad1 is constituted by semi-conductor substrate layer 6a. That is, a current is drain field 3ad1 to channel field 3ac of the rear face of the semi-conductor substrate 6. It leads, flows to source field 3as1, and is source electrode 3as. It has the structure of flowing.

[0051] And in this example 1, drain field 3ad1 of the MOS-FET sections 3a and 3b and 3bd1 are common. It is possible for this to form the MOS-FET sections 3a and 3b on the same semi-conductor substrate 6.

[0052] Moreover, the impurity range 12 is formed in the border area of the MOS-FET sections 3a and 3b in this example 1. The impurity range 12 is formed so that the upper part of semi-conductor substrate layer 6a may be arrived at from the upper layer of for example, epitaxial layer 6b. Lynn of for example, n form impurity or As is introduced into the impurity range 12 rather than the high impurity concentration of epitaxial layer 6b at high concentration. By having prepared this, it is possible to reduce the electric resistance between MOS-FET3a and 3b. An impurity range 12 is the connection hole TH3 punched at insulator layer 8b. It leads and connects with the guard ring 7 of the center of a semiconductor chip 5 electrically.

[0053] Moreover, the guard ring 7 of the periphery of a semiconductor chip 5 is the connection hole TH3 punched at insulator layer 8b. It connects with the impurity range 13 which led and was formed in the upper part of epitaxial layer 6b electrically. Lynn of for example, n form impurity or an arsenic is introduced into the impurity range 13.

[0054] The upper part of epitaxial layer 6b of the periphery of a semiconductor chip 5 is reversed under the effect from a source field 3aS1 side and the 3bs1 side at the time of actuation of the MOS-FET sections 3a and 3b, and this impurity range 13 is formed in order to control that a flow field will be formed in that part.

[0055] Here, drawing 4, drawing 7 - drawing 9 explain the example of the manufacture approach of a semiconductor chip 5.

[0056] first — for example, epitaxial in epitaxial layer 6b which consists for example, of an n form Si single crystal on semi-conductor substrate layer 6a which consists of an n form Si single crystal — after making it grow up by law, a field insulator layer and gate-dielectric-film 3aOX are formed.

[0057] Then, pattern formation of gate electrode 3ag1 which consists of low resistance polish recon, and the 3bg1 is carried out on gate-dielectric-film 3aOX.

[0058] Then, by using the gate electrode 3ag1 and 3bg1 as a mask, after introducing p form impurity for forming an impurity range 10 in the upper part of epitaxial layer 6b by the ion implantation method, n form impurity for forming source field 3as1 and 3bs1 is introduced by the ion implantation method.

[0059] Subsequently, it heat-treats to the semi-conductor substrate 6, and they are source field 3as1, 3bs1 and channel field 3ac, and 3bc by diffusion length's difference. It forms in self align.

[0060] then, the semi-conductor substrate 6 top — for example, SiO₂ from — the position of insulator layer after depositing becoming insulator layer 8b with CVD method etc. 8b — connection hole TH3 It punches.

[0061] Then, they are drain electrode 3ad, 3bd, source electrode 3as, and 3bs by carrying out patterning of the metal layer with a photolithography technique, after depositing the metal layer which consists for example, of an aluminum-Si-Cu alloy by the sputtering method etc. on the semi-conductor substrate 6. And a guard ring 7 is formed in coincidence.

[0062] subsequently, the semi-conductor substrate 6 top — for example, SiO₂ from — insulator layer after depositing becoming insulator layer 8a with CVD method etc. 8a — gate electrode 3ag and 3bg And source electrode 3as and 3bs The connection hole for a bonding field which a part exposes is formed. Then, the metal layer 9 is formed in the rear face of semi-conductor substrate layer 6a by the sputtering method etc., and manufacture processing is ended. Henceforth, it shifts like the usual erectors, such as wafer inspection, dicing processing, die bonding processing, and wirebonding processing.

[0063] Next, drawing 10 - drawing 12 explain the package structure of the semiconductor integrated circuit equipment of this example 1.

[0064] In this example 1, the package body 14 of an SIP (Single In-line Package) form as shown in drawing 10 is used as package structure. A package body 14 consists of resin of for example, an epoxy system, and extension formation of the lead of five 15L is carried out from the inferior surface of tongue.

[0065] As shown in drawing 11 and drawing 12, the above-mentioned semiconductor chip 5 of this example 1 is mounted on die pad (drain polar zone) 15P, after junctional-zone 16a (not shown to drawing 11) has connected electrically.

[0066] Lead 15L and die pad 15P consist for example, of 42 alloys, and are lead 15LD for the drain electrodes of the center of the lead 15L. It is fabricated in one with die pad 15P.

[0067] Gate electrode 3ag in MOS and the FET sections 3a and 3b of a semiconductor chip 5, and 3bg A bonding wire 17 is led and it is lead 15LG for the gate electrodes of the maximum outside of the lead 15L, respectively. It connects electrically.

[0068] moreover, source electrode 3as in the MOS-FET sections 3a and 3b of a semiconductor chip 5 and 3bs a bonding wire 17 — leading — lead 15LS respectively for the source electrodes of the lead 15L It connects electrically.

[0069] Thus, according to this example 1, it becomes possible to acquire the following effectiveness.

[0070] (1) Since the two MOS-FET sections 3a and 3b which constitute the . bidirectional switching circuit 3 can be formed in one semiconductor chip 5 and can be closed in one package, it becomes possible to make the bidirectional switching circuit 3 small.

[0071] (2) Each end-fire array power metal-oxide semiconductor field effect transistor three a1 of the MOS-FET sections 3a and 3b of both ., and three b1 Structure, Each and three b1 [power metal-oxide semiconductor field effect transistor / three a1 / the] A number, each dimension of the formation field of MOS and the FET sections 3a and 3b in every direction, Each source electrode 3as and 3bs Area and each gate electrode 3ag, and 3bg While making area the same Gate electrode 3ag and 3bg By having made arrangement into the line pair elephant by making the central guard ring 7 into a boundary line, it becomes possible to make almost the same the electrical characteristics and the engine performance of those the each sections 3a and 3b of MOS-FET.

[0072] (3) It becomes possible by having formed the guard ring 7 in the periphery of the .MOS-FET sections 3a and 3b to prevent that a foreign matter trespasses upon the interior of a semiconductor chip 5 from the exterior of a semiconductor chip 5.

[0073] (4) By having established the impurity range 13 of high high impurity concentration in the upper part of epitaxial layer 6b of . guard ring 7 lower layer rather than epitaxial layer 6b, it becomes possible to prevent that a flow field will be formed in the lower layer of a guard ring 7 working [the MOS-FET sections 3a and 3b].

[0074] (5) In the . semiconductor chip 5, since the area of the field which passes a current by having arranged the formation field of the two MOS-FET sections 3a and 3b so that that each side of contiguity may be made into a long side can be increased, it becomes possible to lower the electric resistance in the bidirectional switching circuit 3.

[0075] (6) Since the electric resistance between MOS-FET3a and 3b can be lowered by having established the impurity range 12 set as high high impurity concentration rather than epitaxial layer 6b in the border area of the .MOS-FET sections 3a and 3b, it becomes possible to lower the electric resistance of the bidirectional switching circuit 3.

[0076] (7) . above (2) - (4) It becomes possible to raise the dependability of semiconductor integrated circuit equipment.

[0077] (8) . above (1) It becomes possible to raise the package packaging density on the wiring substrate which constitutes a protection network 1.

[0078] The top view of the semiconductor chip which constitutes the semiconductor integrated circuit equipment whose drawing 13 is other examples of this invention, (Example 2) The perspective view of the package body with which drawing 14 closes the important section sectional view of the semiconductor chip of drawing 13 , and drawing 15 closes the semiconductor chip of drawing 13 , The top view of a semiconductor chip for drawing 16 to show the connection condition of the package book inside of the body of drawing 15 , The top view of a semiconductor chip for an explanatory view for drawing 17 - drawing 19 to explain like the erector of the semiconductor integrated circuit equipment of this example 2 and drawing 20 to show the connection condition of the package book inside of the body of the semiconductor integrated circuit equipment which is the modification of this example 2, and drawing 21 are the sectional views of the XXI-XXI line of drawing 20 .

[0079] The top view and important section sectional view of a semiconductor chip 5 which constitute the semiconductor integrated circuit equipment of this example 2 are shown in drawing 13 and drawing 14 , respectively. It is the same as that of said example 1 about a circuit, component structure, etc. which were formed in the semiconductor chip 5.

[0080] However, in this example 2, the scribing field C is arranged between the centers of a semiconductor chip 5, i.e., the formation field of MOS and the FET sections 3a and 3b. And the guard ring 7 is formed so that the formation field of each MOS-FET sections 3a and 3b may be surrounded. Moreover, the above mentioned impurity range 13 is formed in the upper part of epitaxial layer 6b in the scribing field C.

[0081] Next, drawing 15 R> 5 and drawing 16 explain the package structure of this example 2.

[0082] In this example 2, the package body 14 of an SOP (Small Outline Package) form as shown in drawing 15 is used as package structure. A package body 14 consists of resin of for example, an epoxy system, and lead 15L fabricated in the shape of [a total of six] a gull wing is projected from the both-sides side.

[0083] As shown in drawing 16 , the above-mentioned semiconductor chip 5 of this example 2 is

mounted on die pad 15P, after the junctional zone (not shown) has connected electrically.

[0084] Lead 15L and die pad 15P are lead 15LD for the drain electrodes of the center among lead 15L which consists of 42 alloys and has more than one in each of a both-sides side like said example 1. It is fabricated in one with die pad 15P.

[0085] Gate electrode 3ag of the MOS and the FET sections 3a and 3b in a semiconductor chip 5, and 3bg Bonding wires 17 and 17 are led and they are lead 15LG for the gate electrodes by the side of 1 side face, and 15LG. It connects electrically.

[0086] Moreover, source electrode 3as of the MOS-FET sections 3a and 3b in a semiconductor chip 5 and 3bs lead bonding wires 17 and 17, and are lead 15LS for the source electrodes by the side of other side faces, and 15Ls. It connects electrically.

[0087] Next, the assembly approach of this example 2 is explained using drawing 17 - Fig. 1919 .

[0088] Drawing 17 shows the whole semi-conductor wafer 18 top view in front of a dicing process. On the principal plane of the semi-conductor wafer 18, two or more chip formation fields D are arranged regularly. MOS-FET section 3a (or MOS-FET section 3b) is formed in each chip formation field D. In addition, since both the MOS-FET sections 3a and 3b are the same structures, MOS-FET section 3a is temporarily indicated as a representative here.

[0089] First, wafer inspection is conducted to such a semi-conductor wafer 18. A wafer inspection here is an inspection process for inspecting electrical characteristics etc. to MOS and FET section 3a of each chip formation field D on the semi-conductor wafer 18, and inspecting whether a defect is in MOS-FET section 3a in the chip formation field D. Here, as shown in drawing 18 , a fail mark M is attached to the chip formation field D judged that is poor.

[0090] Then, dicing processing is performed to the semi-conductor wafer 18. Under the present circumstances, in this example 2, as shown in drawing 19 R> 9, when they carry out dicing, using two adjoining chip formation fields D and D as 1 set, one semiconductor chip 5 which consists of two chip formation fields D and D is cut down. That is, one semiconductor chip 5 with which the two MOS-FET sections 3a and 3a (3b) were formed is cut down.

[0091] It is possible to reduce the manufacturing cost of a product by this, since two MOS and the FET sections 3a and 3b can be formed in one semiconductor chip 5 also not using advanced techniques, such as a detailed-ized technique of a component.

[0092] Then, after mounting the semiconductor chip 5 on die pad 15P (refer to drawing 16) of a leadframe and connecting electrically each electrode (source electrode 3as and gate electrode 3ag) and lead 15L using a bonding wire 17, the semiconductor integrated circuit equipment which has the package body 14 shown in drawing 15 is assembled by closing a semiconductor chip 5 with the resin of an epoxy system, and forming lead 15L in the shape of a gull wing etc. further.

[0093] By the way, as shown in drawing 19 , into the semiconductor chip 5, while adjoins and the chip formation field D may serve as a defect. In this case, the scribing field C of that semiconductor chip 5 is cut, and the chip formation field D without a defect is taken out, and let this be one semiconductor chip.

[0094] And as shown in drawing 20 and drawing 21 , semiconductor chip 5a which consists of one chip formation field D is mounted on [of one / two] die pad 15P through junctional-zone 16b. Also in this case, like said example 1, semiconductor chips 5a and 5a are mounted so that the adjoining side of adjoining semiconductor chip 5a may turn into a long side.

[0095] Then, what is necessary is just to assemble the semiconductor integrated circuit equipment which has the package body 14 shown in drawing 15 by carrying out the resin seal of the two semiconductor chips 5a and 5a.

[0096] Thus, according to this example 2, it becomes possible to acquire the following effectiveness besides the effectiveness acquired in said example 1.

[0097] (1) Since the two MOS-FET sections 3a and 3b can be formed in one semiconductor chip 5 also not using advanced techniques, such as a detailed-ized technique of a component, by starting two chip formation fields D where it adjoins on . semi-conductor wafer 18 as one semiconductor chip 5, it becomes possible to reduce the manufacturing cost of a product.

[0098] (2) When one chip formation field D is poor between two chip formation fields D where it adjoins on . semi-conductor wafer 18, or when the yield of the semi-conductor wafer 18 whole is bad, each chip formation field D is started, it is referred to as one semiconductor chip 5a, and it

becomes possible to correspond by preparing two of these and mounting on [of one] die pad 15P.

[0099] (Example 3) The circuit diagram of the bidirectional switching circuit which constitutes the semiconductor integrated circuit equipment whose drawing 22 is other examples of this invention, and drawing 23 are the top views of a semiconductor chip to show the connection condition of the package book inside of the body of the semiconductor integrated circuit equipment of drawing 22.

[0100] In this example 3, the circuit connection condition of a bidirectional switching circuit differs from said examples 1 and 2. That is, as shown in drawing 22, for the bidirectional switching circuit 3 of this example 3, the two MOS-FET sections 3a and 3b are both source electrode 3as and 3bs. They are the parasitism diodes D1 and D2 of both MOS-FET sections 3a and 3b by connecting. It is connected and constituted by the serial so that it may become hard flow connection.

[0101] Drawing 23 explains the package structure in this case. In this case, the MOS-FET sections 3a and 3b are formed in the respectively separate semiconductor chips 5a and 5a. It is mounted on separate die pad 15P by which the semiconductor chips 5a and 5a were divided in each, respectively, and 15P. Die pads 15P and 15P are lead 15LD. It is formed in one and connects electrically.

[0102] And source electrode 3as of each MOS-FET sections 3a and 3b and 3bs In between, it connects electrically mutually through the bonding wire 17. Moreover, gate electrode 3ag of each MOS-FET sections 3a and 3b and 3bg It connects electrically mutually through the bonding wire 17.

[0103] Also in this example 3, the closure of the two MOS-FET sections 3a and 3b is carried out into one package body 14. For this reason, it is possible to make the bidirectional switching circuit 3 small.

[0104] Therefore, it also sets to this example 3 and is (1) of said example 1. - (4) And (8) It becomes possible to acquire effectiveness.

[0105] As mentioned above, although invention made by this invention person was concretely explained based on the example, it cannot be overemphasized that it can change variously in the range which this invention is not limited to said examples 1-3, and does not deviate from the summary.

[0106] For example, in said examples 1-3, although the case where a rechargeable battery was made into Li ion rechargeable battery was explained, it may not be limited to this, and can change variously, for example, a (Nickel nickel)-KADONIUMU (Cd) cell and a Ni-H battery are sufficient.

[0107] Moreover, you may make it establish the embedded field 19 in the lower layer of the impurity range 12, as the structure of the border area of the MOS-FET section is not limited to the structure of said example 1, and can be changed variously, for example, it is shown in drawing 24. In the embedded field 19, the same extent installation of the impurity of the same electric conduction form as an impurity range 12 is carried out with the high impurity concentration of an impurity range 12. This becomes possible to lower the electric resistance in a bidirectional switching circuit further.

[0108] Moreover, as shown, for example in drawing 25, it is good also as structure where a guard ring is not prepared in the border area of the MOS-FET sections 3a and 3b. This becomes possible to reduce the area of a semiconductor chip 5.

[0109] Moreover, you may make it the structure of a package pull out a source electrode by two or more bonding wires 17 from each of the MOS-FET sections 3a and 3b, as it is not limited to said examples 1-3, and it can change variously, for example, it is shown in drawing 26. This becomes possible to lower resistance of a bidirectional switching circuit. In this case, gate electrode 3ag and 3bg It arranges so that it may become a point pair elephant mutually.

[0110] Moreover, you may make it pull out each source electrode of the MOS-FET sections 3a and 3b from the side face in which package bodies 14 differ, as shown, for example in drawing 27.

[0111] Although the condition that it is formed in semiconductor chip 5a from which the MOS-

FET sections 3a and 3b differ, respectively, and that each [of a semiconductor chip] 5a is mounted on [of one] die pad 15P is shown in drawing 27 , as shown, for example in drawing 28 , the MOS-FET sections 3a and 3b are formed in one semiconductor chip 5, and it may be made to mount it on [of one] die pad 15P here. When it carries out like drawing 28 and a package body 14 can be made small since spacing between MOS-FET section 3a and 3b can be narrowed rather than the case of drawing 27 $R > 7$, it becomes possible to also lower electric resistance.

[0112] Moreover, you may make it join a radiator 20 to the rear face of die pad 15P through junctional-zone 16c, as shown, for example in drawing 29 . A radiator 20 is a member for radiating outside the heat which it was indifferent from metals, such as Cu, and was generated with the semiconductor chip 5. The whole surface of a radiator 20 is exposed from the package body 14 in order to make heat dissipation nature good.

[0113] Although the above explanation explained the case where invention mainly made by this invention person was applied to the protection network of the rechargeable battery which is a field of the invention used as the background, it is also possible to apply to the circuit apparatus which is not limited to this but has bidirectional switching circuits, such as an alternative of a mechanical relay, applicable variously.

[0114]

[Effect of the Invention] It will be as follows if the effectiveness acquired by the typical thing among invention indicated in this application is explained briefly.

[0115] (1) Since the two MIS-FET sections which constitute a bidirectional switching circuit can be held in one package according to the semiconductor integrated circuit equipment of this invention of which . above was done, it becomes possible to make small the semiconductor integrated circuit equipment which has a bidirectional switching circuit.

[0116] (2) Since the electrical characteristics and the engine performance of that each section of MIS-FET can be made almost the same by unifying the specification of each component of the two MIS-FET sections which constitute a bidirectional switching circuit etc. according to the semiconductor integrated circuit equipment of this invention of which . above was done, it becomes possible to raise the stability of the bidirectional switching circuit of operation.

[0117] (3) Since the area of the field which passes a current when two MIS-FET section formation fields were made for that each side of contiguity to turn into a long side can be increased according to the semiconductor integrated circuit equipment of this invention of which . above was done, it becomes possible to reduce the electric resistance in a circuit.

[0118] (4) . — according to the manufacture approach of the semiconductor integrated circuit equipment of said this invention carried out, advanced techniques, such as a component and a detailed-ized technique of wiring, are not used for two MIS and the FET sections — also coming out — when it can prepare on one semiconductor chip, since it can hold in one package, it becomes possible to make small the semiconductor integrated circuit equipment which has the bidirectional switching circuit, without making cost high.

[Translation done.]

* NOTICES *

JPO and NCIPi are not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.**** shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1] It is the circuit diagram of the semiconductor integrated circuit equipment which is one example of this invention.

[Drawing 2] It is the circuit diagram of the bidirectional switching circuit which constitutes the semiconductor integrated circuit equipment of drawing 1 .

[Drawing 3] It is the top view of the semiconductor chip which has the bidirectional switching circuit of drawing 2 .

[Drawing 4] It is the sectional view of the IV-IV line of drawing 3 .

[Drawing 5] It is an explanatory view for explaining the field arrangement in the semiconductor chip of drawing 3 .

[Drawing 6] It is an explanatory view for explaining the field arrangement in the semiconductor chip of drawing 3 .

[Drawing 7] It is the important section sectional view of the semiconductor chip of drawing 3 .

[Drawing 8] It is the important section sectional view of the semiconductor chip of drawing 3 .

[Drawing 9] It is the important section sectional view of the semiconductor chip of drawing 3 .

[Drawing 10] It is the perspective view of the package body which closes the semiconductor chip of drawing 3 .

[Drawing 11] It is the sectional view of the package body of drawing 10 .

[Drawing 12] It is the sectional view of the XII-XII line of drawing 10 .

[Drawing 13] It is the top view of the semiconductor chip which constitutes the semiconductor integrated circuit equipment which is other examples of this invention.

[Drawing 14] It is the important section sectional view of the semiconductor chip of drawing 13 .

[Drawing 15] It is the perspective view of the package body which closes the semiconductor chip of drawing 13 .

[Drawing 16] It is the top view of a semiconductor chip to show the connection condition of the package book inside of the body of drawing 15 .

[Drawing 17] It is an explanatory view for explaining like the erector of the semiconductor integrated circuit equipment of drawing 13 .

[Drawing 18] It is an explanatory view for explaining like the erector of the semiconductor integrated circuit equipment of drawing 13 .

[Drawing 19] It is an explanatory view for explaining like the erector of the semiconductor integrated circuit equipment of drawing 13 .

[Drawing 20] It is the top view of a semiconductor chip to show the connection condition of the package book inside of the body which constitutes the semiconductor integrated circuit equipment which is other examples of this invention.

[Drawing 21] It is the sectional view of the XXI-XXI line of drawing 20 .

[Drawing 22] It is the circuit diagram of the bidirectional switching circuit which constitutes the semiconductor integrated circuit equipment which is other examples of this invention.

[Drawing 23] It is the top view of a semiconductor chip to show the connection condition of the package book inside of the body of the semiconductor integrated circuit equipment of drawing 22 .

[Drawing 24] It is the important section sectional view of the semiconductor chip which constitutes the semiconductor integrated circuit equipment which is other examples of this invention.

[Drawing 25] It is the important section sectional view of the semiconductor chip which constitutes the semiconductor integrated circuit equipment which is other examples of this invention.

[Drawing 26] It is the top view of a semiconductor chip to show the connection condition within the PA@KKEJI body which constitutes the semiconductor integrated circuit equipment which is other examples of this invention.

[Drawing 27] It is the top view of a semiconductor chip to show the connection condition within the PA@KKEJI body which constitutes the semiconductor integrated circuit equipment which is other examples of this invention.

[Drawing 28] It is the top view of a semiconductor chip to show the connection condition within the PA@KKEJI body which constitutes the semiconductor integrated circuit equipment which is other examples of this invention.

[Drawing 29] It is the sectional view of the PA@KKEJI body which constitutes the semiconductor integrated circuit equipment which is other examples of this invention.

[Description of Notations]

1 Protection Network (Semiconductor Integrated Circuit Equipment)

2 Control Circuit

3 Bidirectional Switching Circuit

3a, 3b MOS-FET section

3ag(s), 3bg Gate electrode

3ad(s), 3bd Drain electrode

3as(es), 3bs Source electrode

Three a1, three b1 Power metal-oxide semiconductor field effect transistor

3ag(s)1, 3bg1 Gate electrode

3ad(s)1, 3bd1 Drain field

3as(es)1, 3bs1 Source field

3ac(s), 3bc Channel field

3aOX(s), 3bOX Gate dielectric film

4 Fuse

5 Semiconductor Chip

5a Semiconductor chip

6 Semi-conductor Substrate

6a Semi-conductor substrate layer

6b Epitaxial layer

7 Guard Ring (Polar Zone)

8a, 8b Insulator layer

9 Metal Layer

10 Impurity Range

11 Conductor Layer

12 Impurity Range

13 Impurity Range

14 Package Body

15L, 15LG, 15LD, 15LS Lead

15P Die pad (drain polar zone)

16a, 16b, 16c Junctional zone

17 Bonding Wire

18 Semi-conductor Wafer

19 Embedded Field

20 Radiator

A, B MOS-FET section formation field

C Scribing field

D Chip formation field
M Fail mark
I Current
B1, B-2 Rechargeable battery
E1 Positive electrode
E2 Negative electrode
VDD Power supply terminal
VSS Earth terminal
VD1, VD2 Control terminal
CP1, CP2, VC, VM Terminal
R1 -R3 Resistance
D1, D2 Parasitism diode
TH1 -TH3 Connection hole

[Translation done.]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-32060

(43) 公開日 平成8年(1996)2月2日

(51) Int.Cl.⁴

H 0 1 L 29/78

25/04

25/18

識別記号

序内整理番号

F I

技術表示箇所

H 0 1 L 29/ 78

3 2 1 K

25/ 04

Z

審査請求 未請求 請求項の数10 O L (全 16 頁) 最終頁に続く

(21) 出願番号 特願平6-160834

(22) 出願日 平成6年(1994)7月13日

(71) 出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72) 発明者 飯島 哲郎

東京都小平市上水本町5丁目20番1号 株

式会社日立製作所半導体事業部内

(74) 代理人 弁理士 筒井 大和

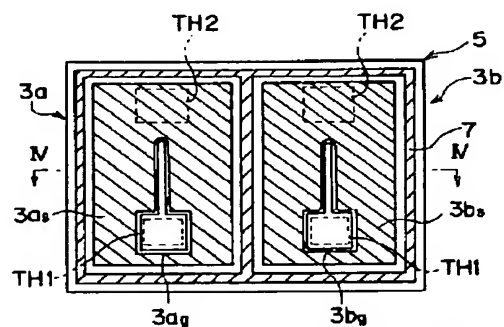
(54) 【発明の名称】 半導体集積回路装置およびその製造方法

(57) 【要約】

【目的】 製品のコストを高くすることなく、双方向スイッチ回路を有する半導体集積回路装置を小形にする。

【構成】 2個のMOS・FET部3a、3bを双方の寄生ダイオードが逆方向に接続されるように直列接続してなる双方向スイッチ回路において、2個のMOS・FET部3a、3bの各々を、複数の縦形構造のMOS・FETによって構成するとともに、2個のMOS・FET部3a、3bのドレイン領域を共通とすることによって同一の半導体基板に設け、その半導体基板を1つのダイパッド上に実装した。

図 3



3 a : MOS・FET部
3 b : MOS・FET部

7 : ガードリング (電極部)

【特許請求の範囲】

【請求項1】 2個のMIS・FET部を双方の寄生ダイオードが逆方向に接続されるように直列接続してなる双方向スイッチ回路を有する半導体集積回路装置であって、前記2個のMIS・FET部の各々を、半導体基板の主面に形成されたソース領域と、前記ソース領域に隣接するように前記半導体基板の主面に形成されたチャンネル領域と、前記チャンネル領域上に設けられたゲート電極と、前記半導体基板の裏面に形成されたドレイン領域とを有する1または2以上の縦形構造のMIS・FETによって構成するとともに、前記2個のMIS・FET部のドレイン領域を共通とすることによって同一の半導体基板に設け、その同一の半導体基板を1つのドレイン電極部上に実装してなることを特徴とする半導体集積回路装置。

【請求項2】 2個のMIS・FET部を双方の寄生ダイオードが逆方向に接続されるように直列接続してなる双方向スイッチ回路を有する半導体集積回路装置であって、前記2個のMIS・FET部の各々を、半導体基板の主面に形成されたソース領域と、前記ソース領域に隣接するように前記半導体基板の主面に形成されたチャンネル領域と、前記チャンネル領域上に設けられたゲート電極と、前記半導体基板の裏面に形成されたドレイン領域とを有する1または2以上の縦形構造のMIS・FETによって構成するとともに、別々の半導体基板に設け、その別々の半導体基板を1つのドレイン電極部上に実装してなることを特徴とする半導体集積回路装置。

【請求項3】 2個のMIS・FET部を双方の寄生ダイオードが逆方向に接続されるように直列接続してなる双方向スイッチ回路を有する半導体集積回路装置であって、前記2個のMIS・FET部の各々を、半導体基板の主面に形成されたソース領域と、前記ソース領域に隣接するように前記半導体基板の主面に形成されたチャンネル領域と、前記チャンネル領域上に設けられたゲート電極と、前記半導体基板の裏面に形成されたドレイン領域とを有する1または2以上の縦形構造のMIS・FETによって構成するとともに別々の半導体基板に設け、その別々の半導体基板を別々のドレイン電極上に実装し、前記2個のMIS・FET部のソース領域を電氣的に接続してなることを特徴とする半導体集積回路装置。

【請求項4】 請求項1、2または3記載の半導体集積回路装置において、前記2個のMIS・FET部の各々を構成する前記縦形構造のMIS・FETの構造および数を互いに同一としたことを特徴とする半導体集積回路装置。

【請求項5】 請求項1～4のいずれか一項に記載の半導体集積回路装置において、前記2個のMIS・FET部の各々のソース電極の面積を同一としたことを特徴とする半導体集積回路装置。

【請求項6】 請求項1～5のいずれか一項に記載の半

導体集積回路装置において、前記2個のMIS・FET部の各々のゲート電極の面積を同一とするとともに、前記2個のMIS・FET部の各々のゲート電極を互いに線対象または点対象となるように配置したことを特徴とする半導体集積回路装置。

【請求項7】 請求項1～6のいずれか一項に記載の半導体集積回路装置において、前記2個のMIS・FET部が形成された半導体基板の主面上に前記ソース領域および前記ゲート電極を取り囲むように、前記ドレイン領域の電位と同電位に設定された電極部を設けるとともに、前記2個のMIS・FET部が形成された半導体基板の主面側上部にその半導体基板に含有された不純物と同一導電の不純物がその半導体基板の不純物濃度よりも高濃度となるように導入されてなる不純物領域を設け、前記電極部と前記不純物領域とを電氣的に接続したことを特徴とする半導体集積回路装置。

【請求項8】 請求項1～7のいずれか一項に記載の半導体集積回路装置において、前記2個のMIS・FET部の形成領域を、その各々の隣接する辺が長辺となるように配置したことを特徴とする半導体集積回路装置。

【請求項9】 請求項1～8のいずれか一項に記載の半導体集積回路装置は2次電池の保護回路であり、前記双方向スイッチ回路は、前記2次電池が過放電または過充電の際に前記保護回路の一部の電気経路を遮断するためのスイッチ回路部であることを特徴とする半導体集積回路装置。

【請求項10】 2個のMIS・FET部を双方の寄生ダイオードが逆方向に接続されるように直列接続してなる双方向スイッチ回路を有する半導体集積回路装置の製造方法であって、半導体ウエハに形成された複数のチップ形成領域の各々に前記MIS・FET部を形成する工程と、前記半導体ウエハのダイシング工程の際に、隣接するチップ形成領域を分割しないで1つの半導体チップとして切り出す工程とを有することを特徴とする半導体集積回路装置の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、半導体集積回路装置およびその製造技術に関し、例えば2個のMOS・FET部によって構成された双方向スイッチ回路を有する半導体集積回路装置に適用して有効な技術に関するものである。

【0002】

【従来の技術】双方向スイッチ回路は、例えば2個のMOS・FET部を、双方の寄生ダイオードが互いに逆方向に接続されるように直列に接続することにより構成されるスイッチ回路である。

【0003】双方向スイッチ回路を用いた半導体製品としては、例えばリチウム(Li)イオン2次電池の保護回路がある。この保護回路は、Liイオン2次電池が過

充電または過放電となった際に電流経路を遮断することによってLiイオン2次電池を保護する回路である。

【0004】このLiイオン2次電池の保護回路については、例えば日経BP社、1993年4月26日発行、「日経エレクトロニクス no. 579」P118～P120に記載があり、この文献では、1つの双方向スイッチ回路が、別々にパッケージングされた2個のMOS・FETによって構成されている。

【0005】

【発明が解決しようとする課題】ところが、1つの双方向スイッチ回路を別々にパッケージングされたMOS・FETによって構成する上記従来の技術においては、以下の問題があることを本発明者は見出した。

【0006】すなわち、従来は、双方向スイッチ回路を構成する2個のMOS・FETをそれぞれ別々のパッケージに収容しているので、2個のパッケージ分のパッケージ配置領域や各々のパッケージを接続する配線のための配置領域が必要となり、双方向スイッチ回路の占有面積の縮小を阻害する問題があった。

【0007】また、双方向スイッチ回路を小形にするには、チップサイズを小さくしたり、パッケージの厚さを薄くしたりする等、高度な技術が必要となるので、半導体製品のコスト低減を阻害する問題があった。

【0008】本発明は上記課題に着目してなされたものであり、その目的は、双方向スイッチ回路を有する半導体集積回路装置を小形にすることのできる技術を提供することにある。

【0009】本発明の他の目的は、双方向スイッチ回路を有する半導体集積回路装置をコストを高くすることなく小形にすることのできる技術を提供することにある。

【0010】本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

【0011】

【課題を解決するための手段】本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、以下のとおりである。

【0012】すなわち、本発明の半導体集積回路装置は、2個のMIS・FET部を双方の寄生ダイオードが逆方向に接続されるように直列接続してなる双方向スイッチ回路を有する半導体集積回路装置であって、前記2個のMIS・FET部の各々を、半導体基板の主面に形成されたソース領域と、前記ソース領域に隣接するように前記半導体基板の主面に形成されたチャネル領域と、前記チャネル領域上に設けられたゲート電極と、前記半導体基板の裏面に形成されたドレイン領域とを有する1または2以上の縦形構造のMIS・FETによって構成するとともに、前記2個のMIS・FET部のドレイン領域を共通とすることによって同一の半導体基板に設け、その同一の半導体基板を1つのドレイン電極部上に

実装してなるものである。

【0013】また、本発明の半導体集積回路装置は、2個のMIS・FET部を双方の寄生ダイオードが逆方向に接続されるように直列接続してなる双方向スイッチ回路を有する半導体集積回路装置であって、前記2個のMIS・FET部の各々を、半導体基板の主面に形成されたソース領域と、前記ソース領域に隣接するように前記半導体基板の主面に形成されたチャネル領域と、前記チャネル領域上に設けられたゲート電極と、前記半導体基板の裏面に形成されたドレイン領域とを有する1または2以上の縦形構造のMIS・FETによって構成するとともに、別々の半導体基板に設け、その別々の半導体基板を1つのドレイン電極部上に実装してなるものである。

【0014】また、本発明の半導体集積回路装置は、2個のMIS・FET部を双方の寄生ダイオードが逆方向に接続されるように直列接続してなる双方向スイッチ回路を有する半導体集積回路装置であって、前記2個のMIS・FET部の各々を、半導体基板の主面に形成されたソース領域と、前記ソース領域に隣接するように前記半導体基板の主面に形成されたチャネル領域と、前記チャネル領域上に設けられたゲート電極と、前記半導体基板の裏面に形成されたドレイン領域とを有する1または2以上の縦形構造のMIS・FETによって構成するとともに別々の半導体基板に設け、その別々の半導体基板を別々のドレイン電極上に実装し、前記2個のMIS・FET部のソース領域を電気的に接続してなるものである。

【0015】また、本発明の半導体集積回路装置は、前記2個のMIS・FET部の各々を構成する前記縦形構造のMIS・FETの構造および数を互いに同一としたものである。

【0016】また、本発明の半導体集積回路装置は、前記2個のMIS・FET部の各々のソース電極の面積を同一としたものである。

【0017】また、本発明の半導体集積回路装置は、前記2個のMIS・FET部の各々のゲート電極の面積を同一とするとともに、前記2個のMIS・FET部の各々のゲート電極を互いに線対象または点対象となるように配置したものである。

【0018】また、本発明の半導体集積回路装置は、前記2個のMIS・FET部が形成された半導体基板の主面上に前記ソース領域および前記ゲート電極を取り囲むように、前記ドレイン領域の電位と同電位に設定された電極部を設けるとともに、前記2個のMIS・FETが形成された半導体基板の主面側上部にその半導体基板に含有された不純物と同一導電の不純物がその半導体基板の不純物濃度よりも高濃度となるように導入されてなる不純物領域を設け、前記電極部と前記不純物領域とを電気的に接続したものである。

【0019】また、本発明の半導体集積回路装置は、前記2個のMIS・FET部の形成領域を、その各々の隣接する辺が長辺となるように配置したものである。

【0020】また、本発明の半導体集積回路装置の製造方法は、2個のMIS・FET部を双方の寄生ダイオードが逆方向に接続されるように直列接続してなる双方向スイッチ回路を有する半導体集積回路装置の製造方法であって、半導体ウエハに形成された複数のチップ形成領域の各々に前記MIS・FET部を形成する工程と、前記半導体ウエハのダイシング工程の際に、隣接する2つのチップ形成領域を分割しないで1つの半導体チップとして切り出す工程とを有するものである。

【0021】

【作用】上記した本発明の半導体集積回路装置によれば、双方向スイッチ回路を構成する2個のMIS・FET部を1つのパッケージに収容することができる。

【0022】上記した本発明の半導体集積回路装置によれば、双方向スイッチ回路を構成する2個のMIS・FET部の各々の構成要素の規格等を統一することによって、その各々のMIS・FET部の電気的特性および性能をほぼ同じにすることができる。

【0023】上記した本発明の半導体集積回路装置によれば、2個のMIS・FET部形成領域をその各々の隣接辺が長辺となるようにしたことにより、電流を流す領域の面積を増大できるので、回路における電気抵抗を低減することができる。

【0024】上記した本発明の半導体集積回路装置の製造方法によれば、2個のMIS・FET部を、素子や配線の微細化技術等のような高度な技術を用いなくても1つの半導体チップ上に設けることができる上、1つのパッケージに収容することができる。

【0025】

【実施例】以下、本発明の実施例を図面に基づいて詳細に説明する。

【0026】（実施例1）図1は本発明の一実施例である半導体集積回路装置の回路図、図2は図1の半導体集積回路装置を構成する双方向スイッチ回路の回路図、図3は図2の双方向スイッチ回路を有する半導体チップの平面図、図4は図3のIV-IV線の断面図、図5および図6は図3の半導体チップ内の領域配置を説明するための説明図、図7～図9は図3の半導体チップの要部断面図、図10は図3の半導体チップを封止するパッケージ本体の斜視図、図11は図10のパッケージ本体の断面図、図12は図10のXII-XII線の断面図である。

【0027】本実施例1の半導体集積回路装置は、図1に示すような保護回路1である。本実施例1の保護回路1は、例えば電源の正極E1と負極E2との間に2個直列に接続されたLi2次電池等のような2次電池B1、B2を過放電または過充電から保護するための回路であ

り、制御回路2と双方向スイッチ回路3とを有している。

【0028】制御回路2および双方向スイッチ回路3は、それぞれ個々のパッケージに収容されている。制御回路2、双方向スイッチ回路3および2次電池B1、B2は、図示しない配線基板上の配線等を通じて電氣的に接続されている。なお、双方向スイッチ回路3のパッケージ構造については後述する。

【0029】制御回路2は、2次電池B1、B2において過放電または過充電が生じた場合にその過放電または過充電の状態を検出するとともに、その検出情報に基づいて双方向スイッチ回路3のオン・オフ動作を制御するための回路である。

【0030】制御回路2の電源端子VDDおよび接地端子VSSは、制御回路2内に電源電圧を供給するための端子であり、それぞれ電源の正極E1および電源の負極E2に電氣的に接続されている。

【0031】また、制御回路2の端子CP1、CP2および端子VCは、2次電池B1、B2の過放電または過充電状態を検出するための端子である。端子CP1、CP2は、それぞれ抵抗R1、R2を介してそれぞれ2次電池B1の正極および2次電池B2の負極に電氣的に接続されている。また、端子VCは、2次電池B1の負極と2次電池B2の正極とを結ぶ配線に電氣的に接続されている。

【0032】また、制御回路2の制御端子VD1、VD2は、双方向スイッチ回路3のオン・オフ動作を制御する制御信号を伝えるための端子であり、それぞれMOS・FET部3a、3bのゲート電極3ag、3bgと電氣的に接続されている。

【0033】また、端子VMは、電源の負極E2と双方向スイッチ回路3とを結ぶ配線に抵抗R3を介して電氣的に接続されている。電源の正極E1と2次電池B1の正極との間には、ヒューズ4が電氣的に接続されている。

【0034】一方、双方向スイッチ回路3は、図1および図2に示すように、2個のMOS・FET部3a、3bが、双方のドレイン電極3ad、3bdを接続した状態で、すなわち、双方のMOS・FET部3a、3bの寄生ダイオードD1、D2が逆方向接続となるように、直列に接続されて構成されている。

【0035】なお、MOS・FET部3aのソース電極3asは、2次電池B2の負極と電氣的に接続され、MOS・FET部3bのソース電極3bsは、電源の負極E2と電氣的に接続されている。

【0036】ところで、本実施例1においては、図3および図4に示すように、上記した2個のMOS・FET部3a、3bが、1個の半導体チップ5に形成されている。このため、2個のMOS・FET部3a、3bを1個のパッケージに封止することができるので、双方向ス

イッチ回路3を小形にすることが可能となっている。

【0037】半導体チップ5を構成する半導体基板6は、例えばn形のシリコン(Si)単結晶からなり、半導体基板層6aと、その上層のエピタキシャル層6bとから構成されている。

【0038】半導体基板6の主面上には、上記したMOS・FET部3a、3bのゲート電極3ag、3bgおよびソース電極3as、3bsが形成されている。ゲート電極3ag、3bgおよびソース電極3as、3bsは、例えばアルミニウム(Al)-Si-銅(Cu)合金からなる。

【0039】なお、ゲート電極3ag、3bgの幅広領域は、後述するようにボンディングワイヤを接続するための領域である。また、接続孔TH1は、ゲート電極3ag、3bgの幅広領域にボンディングワイヤを接続するために絶縁膜8aに穿孔された孔領域を示し、接続孔TH2は、ソース電極3as、3bsにボンディングワイヤを接続するために絶縁膜8aに穿孔された孔領域である。

【0040】双方のMOS・FET部3a、3bの形成領域の縦横寸法は等しくなっている。また、双方のMOS・FET部3a、3bの各々のソース電極3as、3bsの面積も同一となっている。また、各々のゲート電極3ag、3bgの面積も同一となっている。さらに、ゲート電極3ag、3bgにおいては、その配置において、中央のガードリング(電極部)7を境界線として線対象となるように配置されている。これらにより、その各々のMOS・FET部3a、3bの電気的特性および性能をほぼ同一にすることが可能となっている。

【0041】また、半導体基板6の主面上において、その外周および中央には、個々のMOS・FET部3a、3bのゲート電極3ag、3bgおよびソース電極3as、3bsを取り囲むようにガードリング7が形成されている。ガードリング7は、例えばAl-Si-Cu合金からなり、半導体チップ5の外部から半導体チップ5の内部に異物が侵入するのを防止するための機能部である。

【0042】さらに、半導体基板6の主面上には、例えば二酸化ケイ素(SiO₂)からなる絶縁膜8aが堆積されており、これによって上記したゲート電極3ag、3bg、ソース電極3as、3bsおよびガードリング7が被覆されている。なお、半導体基板6の裏面には、金属層9が形成されている。

【0043】また、本実施例1においては、図5に示すように、半導体チップ5において、2個のMOS・FET部形成領域A、Bが、その各々の隣接辺を長辺とするように配置されている。これにより、電流Iを流す領域の面積を増大させることができるので、双方向スイッチ回路3における電気抵抗を低減することが可能となっている。

【0044】例えば、仮に、図6に示すように、双方のMOS・FET部形成領域A、Bを、短辺同士が隣接す

るように配置したとすると、電流Iを流せる領域の面積が小さくなり、双方向スイッチ回路3における電気抵抗が増大するからである。

【0045】次に、上記したMOS・FET部3a、3bの構造を図7～図9を用いて説明する。なお、2個のMOS・FET部3a、3bの構造は同一なので、ここでは主としてMOS・FET部3aについて説明する。

【0046】MOS・FET部3aは、半導体基板6に形成された複数の縦形構造のパワーMOS・FET3a1によって構成されている。ここで、MOS・FET部3a、3bの縦形構造のパワーMOS・FET3a1、3b1は、同一構造で、かつ、同一数となっている。これにより、その各々のMOS・FET部3a、3bの電気的特性および性能をほぼ同じにすることが可能となっている。

【0047】縦形構造のパワーMOS・FET3a1は、半導体基板6の主面側に形成されたソース領域3as1と、それに隣接するチャネル領域3acと、チャネル領域3ac上にゲート絶縁膜3aoxを介して形成されたゲート電極3aq1と、半導体基板6の裏面側に形成されたドレイン領域3ad1とを有している。

【0048】エピタキシャル層6bの上層には、複数の不純物領域10が形成されている。不純物領域10は、例えばp形不純物のホウ素が導入されてなり、その領域内にソース領域3as1が形成されている。ソース領域3as1は、例えばn形不純物のリンまたはヒ素(As)が導入されてなり、絶縁膜8bに穿孔された接続孔TH3を通じて上記したソース電極3asと電気的に接続されている。

【0049】チャネル領域3acは、不純物領域10においてゲート電極3aq1が重なる領域に形成されている。ゲート絶縁膜3aoxは、例えばSiO₂からなる。各ゲート電極3aq1は、例えば低抵抗ポリシリコンからなり、同じく低抵抗ポリシリコン等からなる導体層11を通じて上記したゲート電極3agと電気的に接続されている。

【0050】ドレイン領域3ad1は、半導体基板層6aによって構成されている。すなわち、電流は、半導体基板6の裏面のドレイン領域3ad1からチャネル領域3acを通じてソース領域3as1に流れ、ソース電極3asに流れる構造となっている。

【0051】そして、本実施例1においては、MOS・FET部3a、3bのドレイン領域3ad1、3bd1が共通になっている。これにより、MOS・FET部3a、3bを同一の半導体基板6上に形成することが可能となっている。

【0052】また、本実施例1においては、MOS・FET部3a、3bの境界領域に、不純物領域12が形成されている。不純物領域12は、例えばエピタキシャル層6bの上層から半導体基板層6aの上部に達するよう

に形成されている。不純物領域12には、例えばn形不純物のリンまたはAsがエピタキシャル層6bの不純物濃度よりも高濃度に導入されている。これを設けたことにより、MOS・FET3a、3b間の電気抵抗を低減することが可能となっている。不純物領域12は、絶縁膜8bに穿孔された接続孔TH3を通じて半導体チップ5の中央のガードリング7と電気的に接続されている。

【0053】また、半導体チップ5の外周のガードリング7は、絶縁膜8bに穿孔された接続孔TH3を通じてエピタキシャル層6bの上部に形成された不純物領域13と電気的に接続されている。不純物領域13には、例えばn形不純物のリンまたはヒ素が導入されている。

【0054】この不純物領域13は、半導体チップ5の外周のエピタキシャル層6bの上部がMOS・FET部3a、3bの動作時にソース領域3a_{S1}、3b_{S1}側からの影響によって反転し、その部分に導通領域が形成されてしまうのを抑制するために設けられている。

【0055】ここで、半導体チップ5の製造方法の例を図4、図7～図9によって説明する。

【0056】まず、例えばn形Si単結晶からなる半導体基板層6a上に、例えばn形Si単結晶からなるエピタキシャル層6bをエピタキシャル法によって成長させた後、フィールド絶縁膜およびゲート絶縁膜3a_{OX}を形成する。

【0057】続いて、ゲート絶縁膜3a_{OX}上に、例えば低抵抗ポリシリコンからなるゲート電極3a_{q1}、3b_{q1}をパターン形成する。

【0058】その後、そのゲート電極3a_{q1}、3b_{q1}をマスクとして、エピタキシャル層6bの上部に、不純物領域10を形成するためのp形不純物をイオン打ち込み法によって導入した後、ソース領域3a_{S1}、3b_{S1}を形成するためのn形不純物をイオン打ち込み法によって導入する。

【0059】次いで、その半導体基板6に対して熱処理を施し拡散長の差によって、ソース領域3a_{S1}、3b_{S1}およびチャネル領域3a_c、3b_cを自己整合的に形成する。

【0060】続いて、半導体基板6上に、例えばSiO₂からなる絶縁膜8bをCVD法等によって堆積した後、その絶縁膜8bの所定の位置に接続孔TH3を穿孔する。

【0061】その後、その半導体基板6上に、例えばAl-Si-Cu合金からなる金属層をスパッタリング法等によって堆積した後、その金属層をフォトリソグラフィ技術によってパターンニングすることによって、ドレイン電極3a_d、3b_d、ソース電極3a_s、3b_sおよびガードリング7を同時に形成する。

【0062】次いで、その半導体基板6上に、例えばSiO₂からなる絶縁膜8aをCVD法等によって堆積した後、その絶縁膜8aにゲート電極3a_g、3b_gおよび

ソース電極3a_s、3b_sの一部が露出するようなボンディング領域のための接続孔を形成する。続いて、半導体基板層6aの裏面に金属層9をスパッタリング法等によって形成し製造処理を終了する。以降は、ウエハ検査、ダイシング処理、ダイボンディング処理およびワイヤボンディング処理等のような通常の組立工程に移行する。

【0063】次に、本実施例1の半導体集積回路装置のパッケージ構造を図10～図12によって説明する。

【0064】本実施例1においては、パッケージ構造として、例えば図10に示すようなSIP (Single In-line Package) 形のパッケージ本体14が用いられている。パッケージ本体14は、例えばエポキシ系の樹脂からなり、その下面からは、例えば5本のリード15Lが延在形成されている。

【0065】上記した本実施例1の半導体チップ5は、図11および図12に示すように、ダイパッド (ドレイン電極部) 15P上に接合層16a (図11には図示せず) によって電気的に接続された状態で実装されている。

【0066】リード15Lおよびダイパッド15Pは、例えば42アロイからなり、リード15Lのうちの中央のドレイン電極用のリード15LDは、ダイパッド15Pと一体的に形成されている。

【0067】半導体チップ5のMOS・FET部3a、3bにおけるゲート電極3a_g、3b_gは、ボンディングワイヤ17を通じて、それぞれリード15Lのうちの最外側のゲート電極用のリード15LGと電気的に接続されている。

【0068】また、半導体チップ5のMOS・FET部3a、3bにおけるソース電極3a_s、3b_sは、ボンディングワイヤ17を通じて、それぞれリード15Lのうちのソース電極用のリード15LSと電気的に接続されている。

【0069】このように、本実施例1によれば、以下の効果を得ることが可能となる。

【0070】(1) 双方向スイッチ回路3を構成する2個のMOS・FET部3a、3bを、1個の半導体チップ5に形成し、1個のパッケージに封止することができるので、双方向スイッチ回路3を小形にすることが可能となる。

【0071】(2) 双方のMOS・FET部3a、3bの各々の縦形パワーMOS・FET3a₁、3b₁の構造、その各々のパワーMOS・FET3a₁、3b₁の数、MOS・FET部3a、3bの形成領域の各々の縦横寸法、各々のソース電極3a_s、3b_sの面積および各々のゲート電極3a_g、3b_gの面積を同一とするとともに、ゲート電極3a_g、3b_gの配置を中央のガードリング7を境界線として線対象としたことにより、その各々のMOS・FET部3a、3bの電気的特性および性能をほぼ同一にすることが可能となる。

【0072】(3).MOS・FET部3a, 3bの外周にガードリング7を設けたことにより、半導体チップ5の外部から半導体チップ5の内部に異物が侵入するのを防止することが可能となる。

【0073】(4).ガードリング7下層のエピタキシャル層6bの上部にエピタキシャル層6bよりも高不純物濃度の不純物領域13を設けたことにより、MOS・FET部3a, 3bの動作中にガードリング7の下層に導通領域が形成されてしまうのを防止することが可能となる。

【0074】(5).半導体チップ5において、2個のMOS・FET部3a, 3bの形成領域を、その各々の隣接辺を長辺とするように配置したことにより、電流を流す領域の面積を増大させることができるので、双方向スイッチ回路3における電気抵抗を下げる事が可能となる。

【0075】(6).MOS・FET部3a, 3bの境界領域に、エピタキシャル層6bよりも高不純物濃度に設定された不純物領域12を設けたことにより、MOS・FET部3a, 3b間の電気抵抗を下げる事が可能となる。

【0076】(7).上記(2)～(4)により、半導体集積回路装置の信頼性を向上させることが可能となる。

【0077】(8).上記(1)により、保護回路1を構成する配線基板上のパッケージ実装密度を向上させることが可能となる。

【0078】(実施例2)図13は本発明の他の実施例である半導体集積回路装置を構成する半導体チップの平面図、図14は図13の半導体チップの要部断面図、図15は図13の半導体チップを封止するパッケージ本体の斜視図、図16は図15のパッケージ本体内の接続状態を示すための半導体チップの平面図、図17～図19は本実施例2の半導体集積回路装置の組立工程を説明するための説明図、図20は本実施例2の変形例である半導体集積回路装置のパッケージ本体内の接続状態を示すための半導体チップの平面図、図21は図20のXXI-XXI線の断面図である。

【0079】本実施例2の半導体集積回路装置を構成する半導体チップ5の平面図および要部断面図をそれぞれ図13および図14に示す。半導体チップ5に形成された回路および素子構造等については前記実施例1と同様である。

【0080】ただし、本実施例2においては、半導体チップ5の中央、すなわち、MOS・FET部3a, 3bの形成領域の間にスクライビング領域Cが配置されている。そして、ガードリング7は、各々のMOS・FET部3a, 3bの形成領域を取り囲むように形成されている。また、スクライビング領域Cにおいてエピタキシャル層6bの上部には、前記した不純物領域13が形成さ

れている。

【0081】次に、本実施例2のパッケージ構造を図15および図16によって説明する。

【0082】本実施例2においては、パッケージ構造として、例えば図15に示すようなSOP (Small Outline Package)形のパッケージ本体14が用いられている。パッケージ本体14は、例えばエポキシ系の樹脂からなり、その両側面からは、例えば合計6本のガルウィング状に成形されたリード15Lが突出されている。

10 【0083】上記した本実施例2の半導体チップ5は、図16に示すように、ダイパッド15P上に接合層(図示せず)によって電氣的に接続された状態で実装されている。

【0084】リード15Lおよびダイパッド15Pは、前記実施例1と同様、例えば42アロイからなり、両側面の各々に複数あるリード15Lのうち、中央のドレイン電極用のリード15LDは、ダイパッド15Pと一体的に成形されている。

20 【0085】半導体チップ5におけるMOS・FET部3a, 3bのゲート電極3ag, 3bgは、ボンディングワイヤ17, 17を通じて、一側面側のゲート電極用のリード15LG, 15LGと電氣的に接続されている。

【0086】また、半導体チップ5におけるMOS・FET部3a, 3bのソース電極3as, 3bsは、ボンディングワイヤ17, 17を通じて、他側面側のソース電極用のリード15LS, 15LSと電氣的に接続されている。

【0087】次に、本実施例2の組立方法を図17～図19を用いて説明する。

30 【0088】図17は、ダイシング工程前の半導体ウエハ18の全体平面図を示している。半導体ウエハ18の主面上には、複数のチップ形成領域Dが規則的に配置されている。各チップ形成領域Dには、MOS・FET部3a(またはMOS・FET部3b)が形成されている。なお、MOS・FET部3a, 3bは共に同一構造なので、ここでは仮にMOS・FET部3aを代表として記載する。

【0089】まず、このような半導体ウエハ18に対してウエハ検査を行う。ここでのウエハ検査とは、半導体ウエハ18上の各チップ形成領域DのMOS・FET部3aに対して電氣的特性等进行检查し、チップ形成領域D内のMOS・FET部3aに不良が有るか否かを検査するための検査工程である。ここで、不良であると判定されたチップ形成領域Dには、図18に示すように、フェイルマークMを付ける。

40 【0090】続いて、半導体ウエハ18に対してダイシング処理を施す。この際、本実施例2においては、図19に示すように、隣接する2つのチップ形成領域D, Dを1組としてダイシングすることにより、2つのチップ形成領域D, Dからなる1つの半導体チップ5を切り出

す。すなわち、2個のMOS・FET部3a、3a(3b)の形成された1つの半導体チップ5を切り出す。

【0091】これにより、素子の微細化技術等のような高度な技術を用いなくても2個のMOS・FET部3a、3bを1個の半導体チップ5に設けることができるので、製品の製造コストを低減することが可能となっている。

【0092】その後、その半導体チップ5をリードフレームのダイパッド15P(図16参照)上に実装し、各電極(ソース電極3asおよびゲート電極3aq)とリー

ド15Lとをボンディングワイヤ17を用いて電氣的に接続した後、半導体チップ5をエポキシ系の樹脂によって封止し、さらにリード15Lをガルウィング状等に形成することにより、図15に示したパッケージ本体14を有する半導体集積回路装置を組み立てる。

【0093】ところで、図19に示したように、半導体チップ5の中には、隣接する一方のチップ形成領域Dが不良となっている場合もある。この場合は、その半導体チップ5のスクライビング領域Cを切断し、不良の無いチップ形成領域Dを取り出し、これを1つの半導体チップとする。

【0094】そして、図20および図21に示すように、1つのチップ形成領域Dからなる半導体チップ5aを、接合層16bを介して1つのダイパッド15P上に2個実装する。この場合も前記実施例1と同様、隣接する半導体チップ5aの隣接辺が長辺となるように半導体チップ5a、5aを実装する。

【0095】その後、その2個の半導体チップ5a、5aを樹脂封止することによって図15に示したパッケージ本体14を有する半導体集積回路装置を組み立てれば

良い。

【0096】このように、本実施例2によれば、前記実施例1で得られた効果の他に以下の効果を得ることが可能となる。

【0097】(1)半導体ウエハ18上の隣接する2個のチップ形成領域Dを1つの半導体チップ5として切り出すことにより、素子の微細化技術等のような高度な技術を用いなくても2個のMOS・FET部3a、3bを1個の半導体チップ5に設けることができるので、製品の製造コストを低減することが可能となる。

【0098】(2)半導体ウエハ18上の隣接する2個のチップ形成領域Dのうち、一方のチップ形成領域Dが不良である場合あるいは半導体ウエハ18全体の歩留りが悪い場合には、個々のチップ形成領域Dを切り出して1つの半導体チップ5aとし、これを2個用意して1つのダイパッド15P上に実装することにより対応することが可能となる。

【0099】(実施例3)図22は本発明の他の実施例である半導体集積回路装置を構成する双方向スイッチ回路の回路図、図23は図22の半導体集積回路装置のバ

ッケージ本体内の接続状態を示すための半導体チップの平面図である。

【0100】本実施例3においては、双方向スイッチ回路の回路接続状態が前記実施例1、2と異なる。すなわち、図22に示すように、本実施例3の双方向スイッチ回路3は、2個のMOS・FET部3a、3bが、双方のソース電極3as、3bsを接続することにより双方のMOS・FET部3a、3bの寄生ダイオードD1、D2が逆方向接続となるように、直列に接続されて構成されている。

【0101】この場合のパッケージ構造を図23によって説明する。この場合、MOS・FET部3a、3bは、それぞれ別々の半導体チップ5a、5aに形成されている。その各々の半導体チップ5a、5aは、それぞれ分割された別々のダイパッド15P、15P上に実装されている。ダイパッド15P、15Pは、リード15LDと一体的に形成され電氣的に接続されている。

【0102】そして、各々のMOS・FET部3a、3bのソース電極3as、3bs間には、ボンディングワイヤ17を通じて互いに電氣的に接続されている。また、各々のMOS・FET部3a、3bのゲート電極3aq、3bqは、ボンディングワイヤ17を通じて互いに電氣的に接続されている。

【0103】本実施例3においても2個のMOS・FET部3a、3bが1つのパッケージ本体14内に封止されるようになっている。このため、双方向スイッチ回路3を小形にすることが可能となっている。

【0104】したがって、本実施例3においても前記実施例1の(1)～(4)および(8)の効果を得ることが可能となる。

【0105】以上、本発明者によってなされた発明を実施例に基づき具体的に説明したが、本発明は前記実施例1～3に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。

【0106】例えば前記実施例1～3においては、2次電池をLiイオン2次電池とした場合について説明したが、これに限定されるものではなく種々変更可能であり、例えばニッケル(Ni)-カドニウム(Cd)電池やNi水素電池でも良い。

【0107】また、MOS・FET部の境界領域の構造は、前記実施例1の構造に限定されるものではなく種々変更可能であり、例えば図24に示すように、その不純物領域12の下層に埋込領域19を設けるようにしても良い。埋込領域19には、不純物領域12と同一の導電形の不純物が不純物領域12の不純物濃度と同一程度導入されている。これにより、双方向スイッチ回路における電気抵抗をさらに下げることが可能となる。

【0108】また、例えば図25に示すように、MOS・FET部3a、3bの境界領域にガードリングを設けない構造としても良い。これにより、半導体チップ5の

面積を縮小することが可能となる。

【0109】また、パッケージの構造は、前記実施例1～3に限定されるものではなく種々変更可能であり、例えば図26に示すように、MOS・FET部3a、3bの各々から複数のボンディングワイヤ17によってソース電極を引き出すようにしても良い。これにより、双方向スイッチ回路の抵抗を下げる事が可能となる。この場合、ゲート電極3ag、3bgが互いに点対象となるように配置している。

【0110】また、例えば図27に示すように、MOS・FET部3a、3bの各々のソース電極をパッケージ本体14の異なる側面から引き出すようにしても良い。

【0111】ここで、図27には、MOS・FET部3a、3bがそれぞれ異なる半導体チップ5aに形成され、その各々の半導体チップ5aが1つのダイパッド15P上に実装されている状態が示されているが、例えば図28に示すように、MOS・FET部3a、3bを1つの半導体チップ5に形成し、それを1つのダイパッド15P上に実装するようにしても良い。図28のようにした場合、MOS・FET部3a、3b間の間隔を図27の場合よりも狭めることができるので、パッケージ本体14を小形にできる上、電気抵抗も下げる事が可能となる。

【0112】また、例えば図29に示すように、ダイパッド15Pの裏面に接合層16cを介して放熱体20を接合するようにしても良い。放熱体20は、例えばCu等のような金属からなり、半導体チップ5で発生した熱を外部に放散するための部材である。放熱体20の一面は放熱性を良好にするため、例えばパッケージ本体14から露出されている。

【0113】以上の説明では主として本発明者によってなされた発明をその背景となった利用分野である2次電池の保護回路に適用した場合について説明したが、これに限定されず種々適用可能であり、例えば機械式リレーの代替等のような双方向スイッチ回路を有する回路装置に適用することも可能である。

【0114】

【発明の効果】本願において開示される発明のうち、代表的なものによって得られる効果を簡単に説明すれば、以下のとおりである。

【0115】(1) 前記した本発明の半導体集積回路装置によれば、双方向スイッチ回路を構成する2個のMIS・FET部を1つのパッケージに収容することができるので、双方向スイッチ回路を有する半導体集積回路装置を小形にすることが可能となる。

【0116】(2) 前記した本発明の半導体集積回路装置によれば、双方向スイッチ回路を構成する2個のMIS・FET部の各々の構成要素の規格等を統一することによって、その各々のMIS・FET部の電気的特性および性能をほぼ同じにすることができるので、その双方向

スイッチ回路の動作安定性を向上させることが可能となる。

【0117】(3) 前記した本発明の半導体集積回路装置によれば、2個のMIS・FET部形成領域をその各々の隣接辺が長辺となるようにしたことにより、電流を流す領域の面積を増大できるので、回路における電気抵抗を低減することが可能となる。

【0118】(4) 前記した本発明の半導体集積回路装置の製造方法によれば、2個のMIS・FET部を、素子や配線の微細化技術等のような高度な技術を用いなくても1つの半導体チップ上に設けることができる上、1つのパッケージに収容することができるので、その双方向スイッチ回路を有する半導体集積回路装置をコストを高くすることなく小形にすることが可能となる。

【図面の簡単な説明】

【図1】本発明の一実施例である半導体集積回路装置の回路図である。

【図2】図1の半導体集積回路装置を構成する双方向スイッチ回路の回路図である。

【図3】図2の双方向スイッチ回路を有する半導体チップの平面図である。

【図4】図3のIV-IV線の断面図である。

【図5】図3の半導体チップ内の領域配置を説明するための説明図である。

【図6】図3の半導体チップ内の領域配置を説明するための説明図である。

【図7】図3の半導体チップの要部断面図である。

【図8】図3の半導体チップの要部断面図である。

【図9】図3の半導体チップの要部断面図である。

30 【図10】図3の半導体チップを封止するパッケージ本体の斜視図である。

【図11】図10のパッケージ本体の断面図である。

【図12】図10のXII-XII線の断面図である。

【図13】本発明の他の実施例である半導体集積回路装置を構成する半導体チップの平面図である。

【図14】図13の半導体チップの要部断面図である。

【図15】図13の半導体チップを封止するパッケージ本体の斜視図である。

40 【図16】図15のパッケージ本体内の接続状態を示すための半導体チップの平面図である。

【図17】図13の半導体集積回路装置の組立工程を説明するための説明図である。

【図18】図13の半導体集積回路装置の組立工程を説明するための説明図である。

【図19】図13の半導体集積回路装置の組立工程を説明するための説明図である。

【図20】本発明の他の実施例である半導体集積回路装置を構成するパッケージ本体内の接続状態を示すための半導体チップの平面図である。

50 【図21】図20のXXI-XXI線の断面図である。

【図 22】本発明の他の実施例である半導体集積回路装置を構成する双方向スイッチ回路の回路図である。

【図 23】図 22 の半導体集積回路装置のパッケージ本体内の接続状態を示すための半導体チップの平面図である。

【図 24】本発明の他の実施例である半導体集積回路装置を構成する半導体チップの要部断面図である。

【図 25】本発明の他の実施例である半導体集積回路装置を構成する半導体チップの要部断面図である。

【図 26】本発明の他の実施例である半導体集積回路装置を構成するパッケージ本体内の接続状態を示すための半導体チップの平面図である。

【図 27】本発明の他の実施例である半導体集積回路装置を構成するパッケージ本体内の接続状態を示すための半導体チップの平面図である。

【図 28】本発明の他の実施例である半導体集積回路装置を構成するパッケージ本体内の接続状態を示すための半導体チップの平面図である。

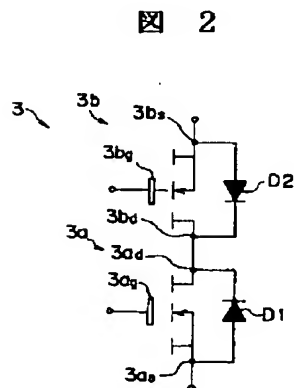
【図 29】本発明の他の実施例である半導体集積回路装置を構成するパッケージ本体の断面図である。

【符号の説明】

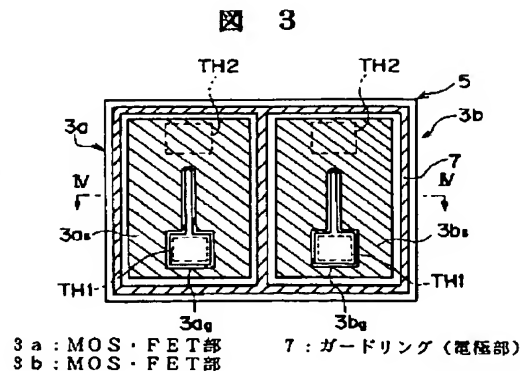
- 1 保護回路（半導体集積回路装置）
- 2 制御回路
- 3 双方向スイッチ回路
- 3 a, 3 b MOS・FET部
- 3 a q, 3 b q ゲート電極
- 3 a d, 3 b d ドレイン電極
- 3 a s, 3 b s ソース電極
- 3 a 1, 3 b 1 パワーMOS・FET
- 3 a q1, 3 b q1 ゲート電極
- 3 a d1, 3 b d1 ドレイン領域
- 3 a s1, 3 b s1 ソース領域
- 3 a c, 3 b c チャネル領域
- 3 a OX, 3 b OX ゲート絶縁膜
- 4 ヒューズ

- * 5 半導体チップ
- 5 a 半導体チップ
- 6 半導体基板
- 6 a 半導体基板層
- 6 b エピタキシャル層
- 7 ガードリング（電極部）
- 8 a, 8 b 絶縁膜
- 9 金属層
- 10 不純物領域
- 11 導体層
- 12 不純物領域
- 13 不純物領域
- 14 パッケージ本体
- 15 L, 15 LG, 15 LD, 15 LS リード
- 15 P ダイパッド（ドレイン電極部）
- 16 a, 16 b, 16 c 接合層
- 17 ボンディングワイヤ
- 18 半導体ウエハ
- 19 埋込領域
- 20 放熱体
- A, B MOS・FET部形成領域
- C スクライピング領域
- D チップ形成領域
- M フェイルマーク
- I 電流
- B1, B2 2次電池
- E1 正極
- E2 負極
- VDD 電源端子
- VSS 接地端子
- VD1, VD2 制御端子
- CP1, CP2, VC, VM 端子
- R1 ~ R3 抵抗
- D1, D2 寄生ダイオード
- * TH1 ~ TH3 接続孔

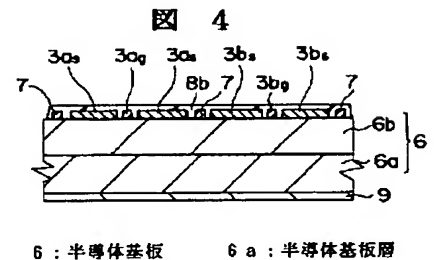
【図 2】



【図 3】

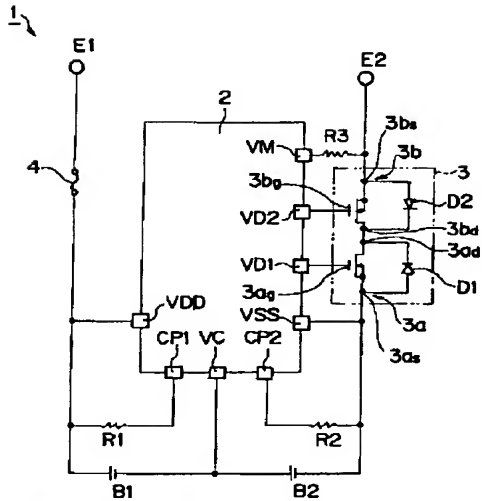


【図 4】



【図1】

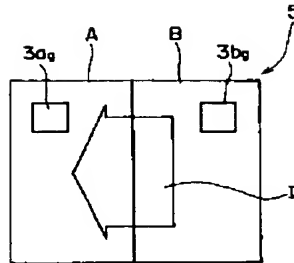
図 1



1 : 保護回路 (半導体集積回路装置) D1 : 寄生ダイオード
3 : 双方向スイッチ回路 D2 : 寄生ダイオード

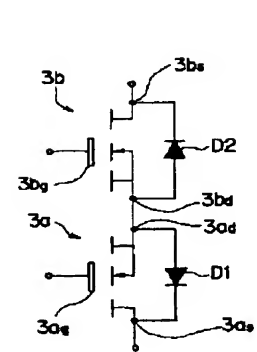
【図5】

図 5



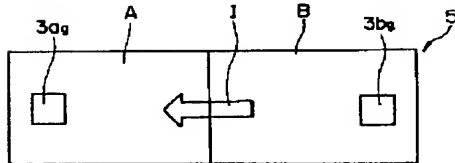
【図22】

図 22



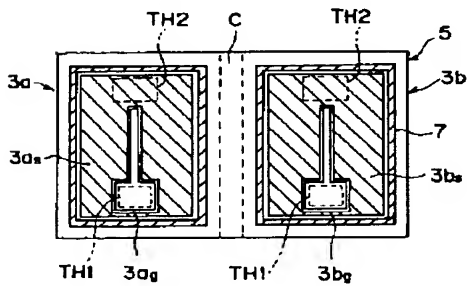
【図6】

図 6



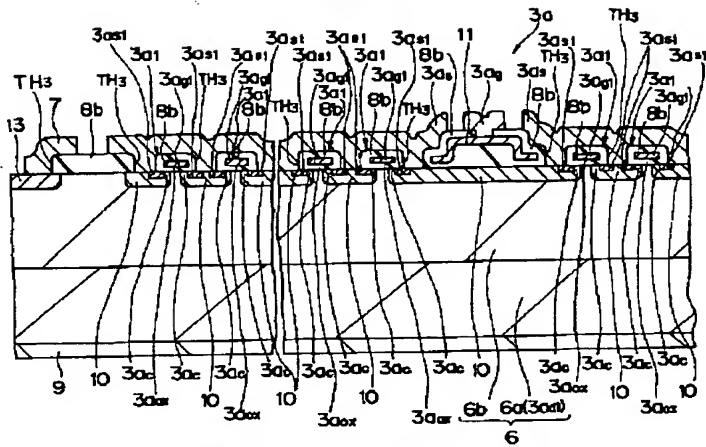
【図13】

図 13



【図7】

図 7

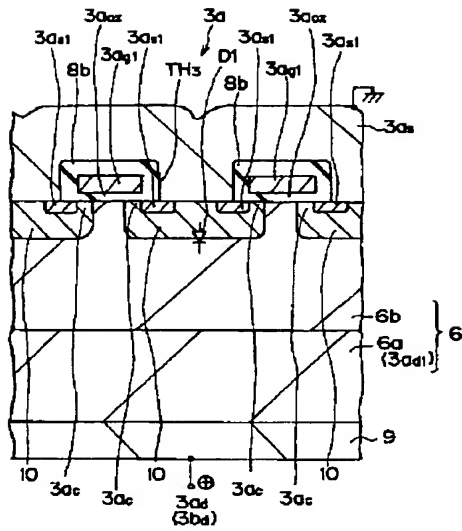


3a s1 : ソース領域
3a c : チャネル領域
3a d1 : ドレイン領域

3a g1 : ゲート電極
13 : 不純物領域

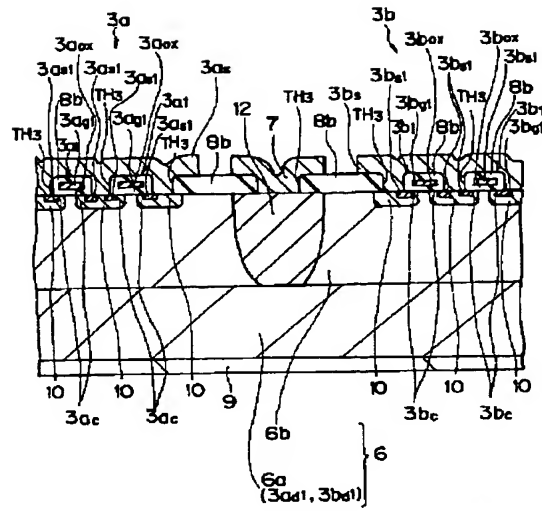
【図8】

図 8



【図9】

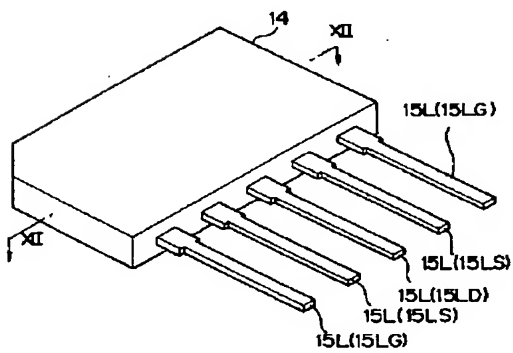
図 9



3 bsl : ソース領域 3 bg1 : ゲート電極
3 bc : チャネル領域 12 : 不純物領域

【図10】

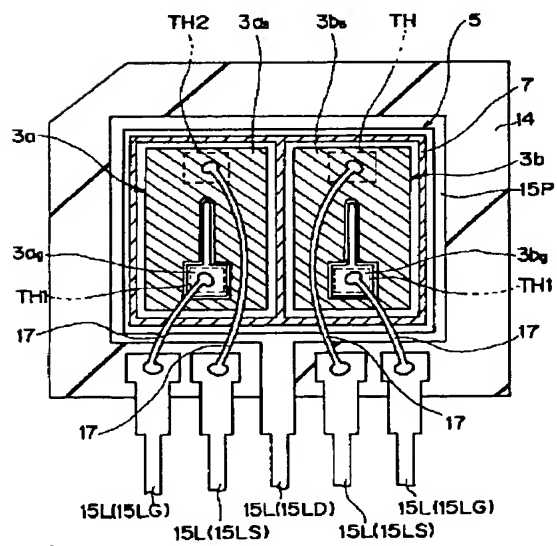
図 10



14 : パッケージ本体

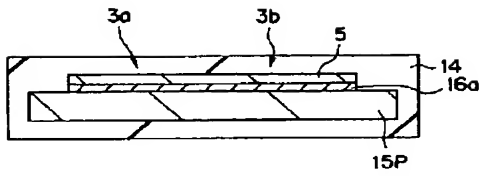
【図11】

図 11



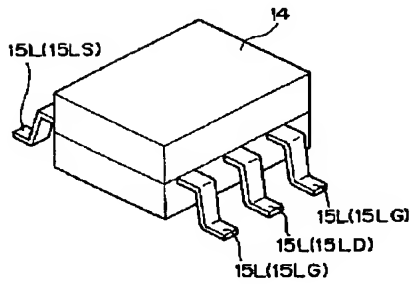
【図12】

図12



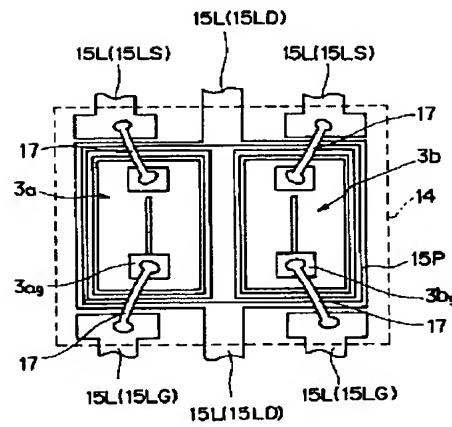
【図15】

図15



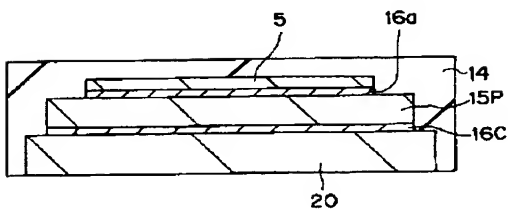
【図16】

図16



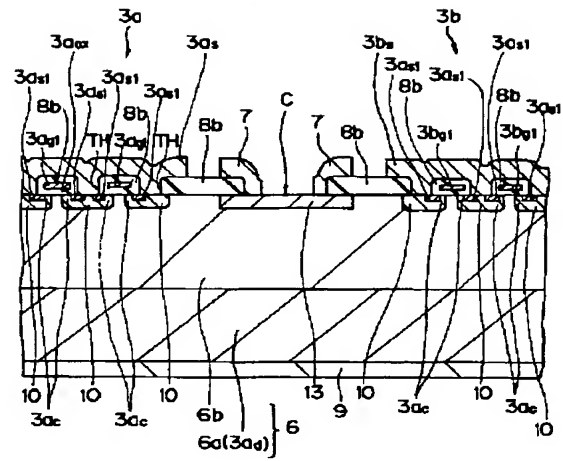
【図29】

図29



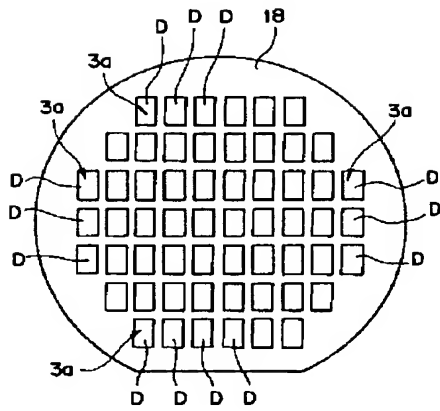
【図14】

図14



【図17】

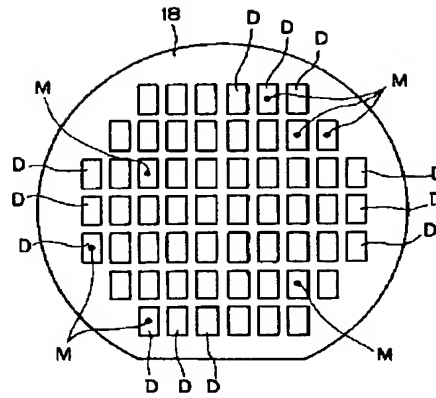
図 17



18 : 半導体ウエハ
D : チップ形成領域

【図18】

図 18

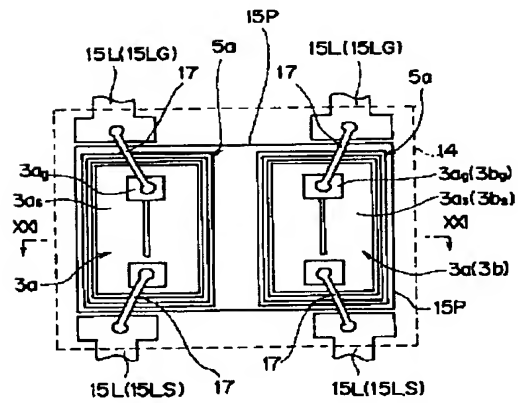
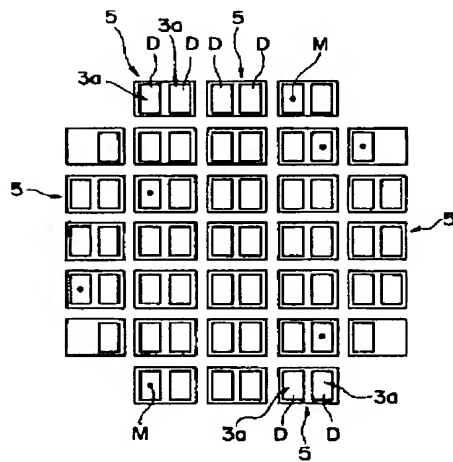


【図20】

図 20

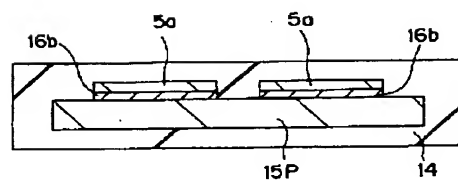
【図19】

図 19



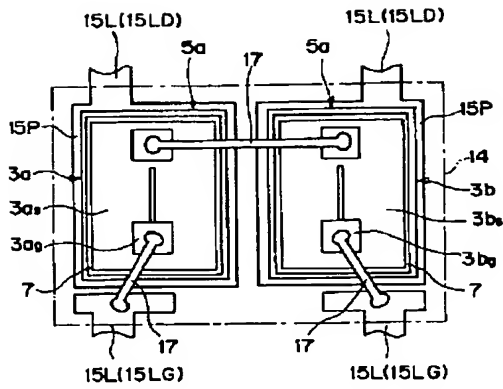
【図21】

図 21



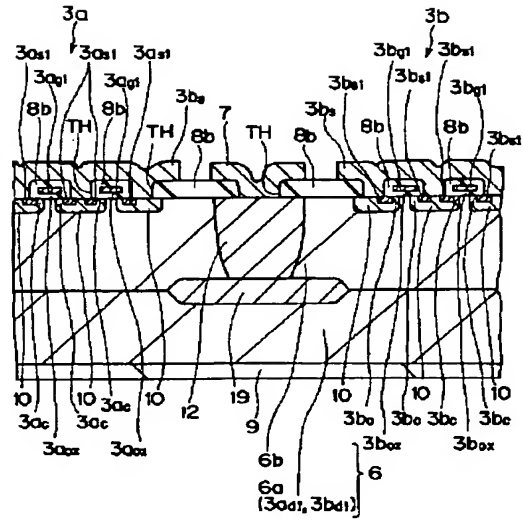
【図 2 3】

図 23



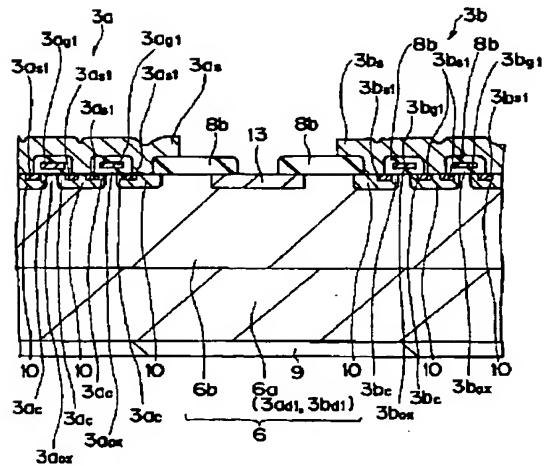
【図 2 4】

図 24



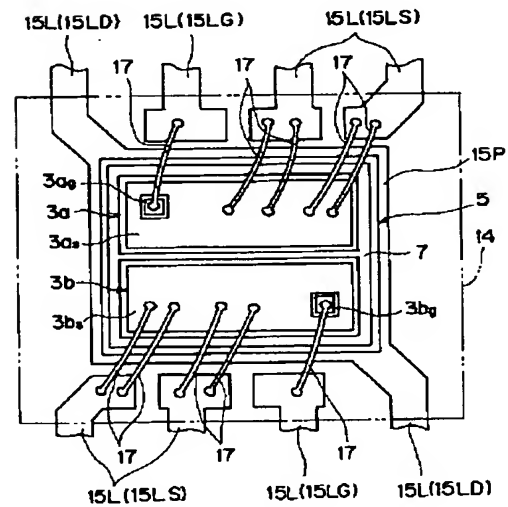
【図 2 5】

図 25



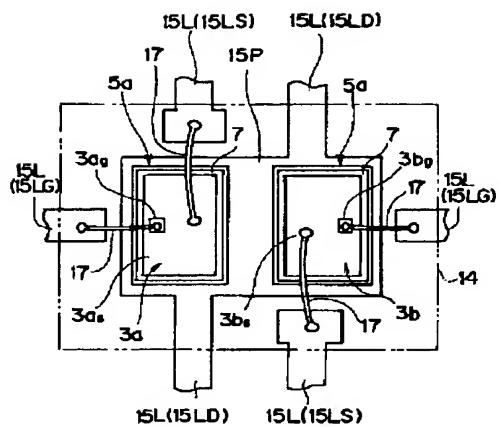
【図 2 6】

図 26



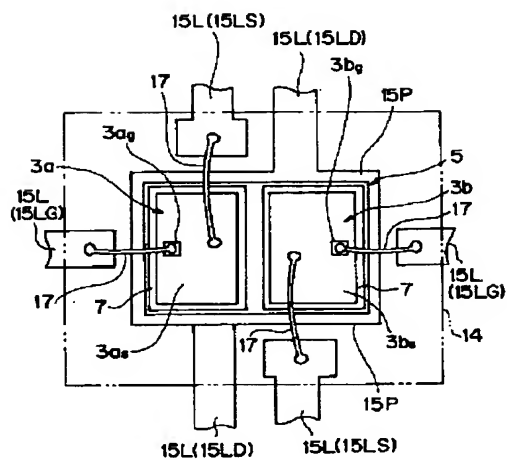
【図 27】

図 27



【図 28】

図 28



フロントページの続き

(51)Int.Cl.⁶
H 0 1 L 29/43

識別記号 庁内整理番号

F I

技術表示箇所

H 0 1 L 29/62

G

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant:

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☒ FADED TEXT OR DRAWING
- ☒ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.